

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 8 月 18 日 (18.08.2005)

PCT

(10) 国際公開番号
WO 2005/076326 A1

- (51) 国際特許分類: **H01L 21/205**, 21/331, 21/336, 29/732, 29/737, 29/78, 29/786
- (21) 国際出願番号: PCT/JP2005/000473
- (22) 国際出願日: 2005 年 1 月 17 日 (17.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-032886 2004 年 2 月 10 日 (10.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 江口 聡司 (EGUCHI, Satoshi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 金井 明 (KANAI, Akira) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 宮下 功 (MIYASHITA, Isao) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ

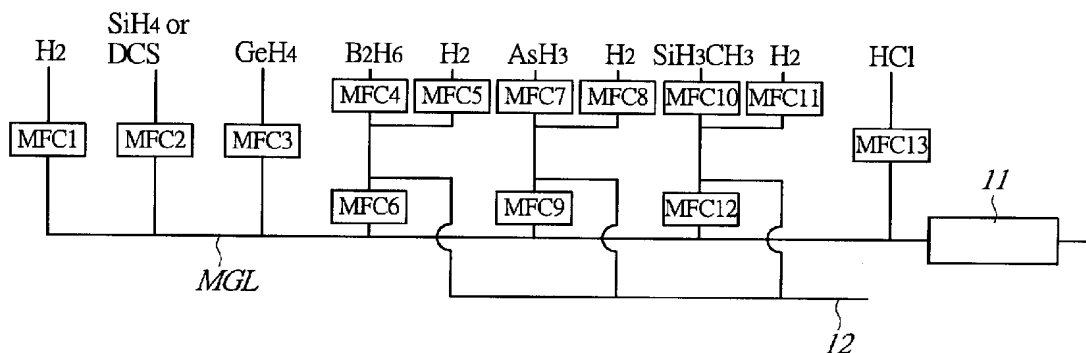
ロジ内 Tokyo (JP). 長島 誠吾 (NAGASHIMA, Seigo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).

- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿 8 丁目 1 番 1 号 アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) **Abstract:** Disclosed is a method for manufacturing a semiconductor device wherein SiH_3CH_3 having a concentration of 1-10% is diluted with H_2 and a part of the diluted SiH_3CH_3 , GeH_4 and SiH_4 (or DCS) are supplied into a chamber of an epitaxial system at respective flow rates, thereby growing SiGe:C epitaxially. By diluting SiH_3CH_3 , the concentration of oxygen impurities in the SiH_3CH_3 is decreased, and thus oxygen impurities supplied into the chamber is decreased. As a result, the concentration of oxygen impurities contained in the formed SiGe:C film is decreased.

(57) 要約: 濃度 1 から 10% の SiH_3CH_3 を H_2 により希釈し、希釈した SiH_3CH_3 の一部と、 GeH_4 と、 SiH_4 (または DCS) とをそれぞれ所定の流量でエピタキシャル装置のチャンバへ供給し、 SiGe:C をエピタキシャル成長技術により形成する。 SiH_3CH_3 を希釈することにより、 SiH_3CH_3 に含まれる酸素系不純物の濃度が低減するので、チャンバへ供給される酸素系不純物が低減して、成膜される SiGe:C に含まれる酸素系不純物の濃度が低減する。

WO 2005/076326 A1



添付公開書類：
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置の製造方法

技術分野

- [0001] 本発明は、半導体装置の製造方法に関し、特に、エピタキシャル成長技術を用いて形成するSiGe:Cを有する半導体装置の製造技術に適用して有効な技術に関するものである。

背景技術

- [0002] メカニカルブースターポンプとドライポンプを使用し、原料ガスを反応室の上部から導入し反応室の下部から排気することにより、ウェハ反応雰囲気を高清浄に保持し、良質のSi、SiGeまたはSiGeCが得られる縦型減圧CVD装置が日本特開2003-203872号公報(特許文献1)に記載されている。
- [0003] また、チャネル領域が表面から順にSi層およびSiGeまたはSiGeC層からなる積層構造を有し、チャネル領域の両端面に所望の導電形を与える高濃度不純物原子を含むSiGeまたはSiGeCからなるソース層およびドレイン層が接しており、SiGeまたはSiGeCからなるソース層およびドレイン層の表面は、ゲート電極の底部位置より上方にせり上げられた形状を有するMOS型電界効果トランジスタが日本特開2002-237590号公報(特許文献2)に開示されている。

特許文献1: 日本特開2003-203872号公報

特許文献2: 日本特開2002-237590号公報

発明の開示

発明が解決しようとする課題

- [0004] バイポーラトランジスタの性能を向上させるため、種々の検討がなされている。例えば、電流増幅率を大きくするためHBT(Hetero-junction Bipolar Transistor:ヘテロ接合バイポーラトランジスタ)技術が検討されている。HBTとは、エミッタ・ベース接合のエミッタ禁制帯幅をベースより大きくしたヘテロ接合(異種接合)構造のバイポーラトランジスタであり、例えばSiGeとSiのような異種の半導体の接合をベースとエミッタとの接合に用いている。このHBTは、高出力増幅器に用いられる高出力デバイスとし

て単一電源動作が可能であり、また高効率で動作するなどの特長を有することから、主に携帯電話向けに開発、製品化されている。

- [0005] 近年、SiGeにC(炭素)を添加したSiGe:CがHBTのベースの材料として開発されている。CはSiやGeに比べて原子半径の小さい元素であることから、SiGe:Cは、SiGeよりも格子定数が小さくなり、歪みを低減させることができる。さらに、歪みが緩和することから、熱的な安定性が向上する。また、HBTのベースの導電型をp型とするため、ベース材料にはp型不純物、例えばB(ボロン)が添加されるが、Bは拡散係数が高いため、熱処理によりSi格子の間を動いて広がり、ベース抵抗が上がるなどしてHBTの特性変動を引き起こしてしまう。しかし、SiGeにCを添加することにより、CがSiGeの格子間に入って、Bの拡散を防ぐことができる。
- [0006] さらに、SiGe:CはHBTのみならず、電界効果トランジスタを代表するMIS・FET(Metal Insulator Semiconductor Field Effect Transistor)のチャンネルに用いられている。Si基板上にチャンネルとしてSi/SiGe:C構造を形成すると、Siの格子定数とSiGe:Cの格子定数との差に基づいてSiに歪みが与えられる。これにより、Siのエネルギーバンド構造が変わり、チャンネルでの電子移動度または正孔移動度の向上を図ることができる。
- [0007] しかしながら、エピタキシャル成長により形成されるSi/SiGe:Cについては、以下に説明する種々の技術的課題が存在する。
- [0008] SiGe:CをCVD(Chemical Vapor Deposition:化学気相成長)装置を用いてエピタキシャル成長により形成する。原料ガスには SiH_2CH_3 、 SiH_3CH_3 、 GeH_4 、 SiH_4 等を用い、キャリアガスには H_2 を用いる。エピタキシャル成長により形成したSiGe:C(Ge濃度10%)のC、GeおよびO(酸素)の濃度プロファイルをSIMS(Secondary Ion Mass Spectrometry:二次イオン質量分析法)により分析したところ、エピタキシャル成長により形成したSiGeと比して10倍程度高い、 $1 \times 10^{18} \text{ cm}^{-3}$ 台の酸素系不純物が検出された。
- [0009] さらに、SiGe:Cへ取り込まれる酸素系不純物の濃度はC濃度またはGe濃度に依存し、C濃度またはGe濃度が増加するに従い酸素系不純物濃度が増加することが判明した。これは、Ge—O結合エネルギー($659.4 \pm 12.6 / \text{kJmol}^{-1}$)が、他のGe—S

i結合エネルギー ($301.0 \pm 21.0 / \text{kJmol}^{-1}$)、Ge—C結合エネルギー ($460.0 \pm 21.0 / \text{kJmol}^{-1}$)、Ge—Ge結合エネルギー ($263.6 \pm 7.1 / \text{kJmol}^{-1}$)よりも大きく、OがGeに結合しやすいことに起因すると考えられる。

[0010] ところが、Siを含有するガス(例えば SiH_4 、 SiH_2Cl_2 等)とGeを含有するガス(例えば GeH_4)とを反応させてSiGe層をエピタキシャル成長した場合、酸素濃度は検出限界以下であった。また、Cを添加する原料ガス SiH_3CH_3 、またはGeを添加する原料ガス GeH_4 をSiを含有するガス(例えば SiH_4 、 SiH_2Cl_2 等)と反応させて、それぞれエピタキシャル成長膜を形成したところ、これら膜中のSIMSにより検出される酸素系不純物濃度は $1 \times 10^{18} \text{cm}^{-3}$ より遙かに低く、 $1 \times 10^{17} \text{cm}^{-3}$ 台または検出限界以下となった。このことから、エピタキシャル成長によりSiGe:Cを形成する際、Ge原子が SiH_3CH_3 に含まれる酸素系不純物を取り込むことによってSiGe:Cへ酸素系不純物が混入すると推測される。

[0011] HBTのベースにSiGe:Cを用いると、これに取り込まれる酸素系不純物によってキャリア(Carrier)のライフタイム(Life Time)が低下する。このため、HBTのベースにおける再結合電流の増加によりベース電流が増加して、hFE(エミッタ接地電流利得)が低下するという問題が生ずる。さらに、SiGe:Cでは、酸素原子を起因とするOSFまたは積層欠陥等の欠陥により、点欠陥、線欠陥または面欠陥が引き起こり、その欠陥界面に沿った電流が流れる。この電流はバイアスでは制御できず、リーク電流となるため、HBTのベースまたはMIS・FETのチャネルにSiGe:Cを用いることにより、HBTまたはMIS・FETの破壊耐圧等の信頼度が劣化する。

[0012] 本発明の目的は、エピタキシャル成長により形成されるSiGe:Cに含まれる酸素系不純物の濃度を低減することのできる技術を提供することにある。

[0013] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0014] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0015] 本発明による半導体装置(または集積回路装置、半導体集積回路装置、電子デバ

イス等)の製造方法は、濃度1から10%の SiH_3CH_3 を H_2 により希釈し、これを所定の流量でエピタキシャル装置のチャンバへ供給することにより、チャンバ内の SiH_3CH_3 から導入される酸素系不純物の濃度を低減する。これにより、エピタキシャル成長により形成されるSiGe:Cに含まれる酸素系不純物の濃度を低減させる。

[0016] 本発明による半導体装置は、HBTのベースまたはMIS・FETのチャネルに、濃度1から10%の SiH_3CH_3 を H_2 により希釈し、これを所定の流量でエピタキシャル装置のチャンバへ供給して、エピタキシャル成長により形成される酸素系不純物の濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以下のSiGe:Cを用いる。

[0017] 本願に開示されたその他の発明のいくつかの概要を以下に項に分けて記載する。

1. 以下の工程を含む半導体装置の製造方法:

(a) 高濃度のCを含有する第1のガスを第2のガスにより希釈する工程;

(b) 第3のガスをキャリアガスとして、希釈された前記第1のガスの一部を反応室へ供給する工程;

(c) 前記第3のガスをキャリアガスとして、Siを含有する第4のガスおよびGeを含有する第5のガスを反応室へ供給する工程;

(d) 前記反応室において、エピタキシャル成長によりSiGe:Cを形成する工程。

2. 項1記載の半導体装置の製造方法において、前記第1のガスは、 SiH_3CH_3 、 $\text{SiH}_2(\text{CH}_3)_2$ 、 $\text{SiH}(\text{CH}_3)_3$ または $\text{Si}(\text{CH}_3)_4$ である。

3. 項1記載の半導体装置の製造方法において、前記第2のガスは H_2 である。

4. 項1記載の半導体装置の製造方法において、前記第1のガスは SiH_3CH_3 であり、前記 SiH_3CH_3 の濃度は0.1から20%である。

5. 項1記載の半導体装置の製造方法において、前記第1のガスは SiH_3CH_3 であり、前記 SiH_3CH_3 の濃度は0.2から10%である。

6. 項1記載の半導体装置の製造方法において、前記第1のガスは SiH_3CH_3 であり、前記 SiH_3CH_3 の濃度は0.6から5%である。

7. 項1記載の半導体装置の製造方法において、前記第1のガスの希釈度は2から100である。

8. 項1記載の半導体装置の製造方法において、前記第1のガスの希釈度は3から40である。

9. 項1記載の半導体装置の製造方法において、前記第1のガスの希釈度は4から20である。

10. 項1記載の半導体装置の製造方法において、前記SiGe:Cに含まれる酸素系不純物の濃度は $5 \times 10^{19} \text{cm}^{-3}$ 以下である。

11. 項1記載の半導体装置の製造方法において、前記SiGe:Cに含まれる酸素系不純物の濃度は $1 \times 10^{19} \text{cm}^{-3}$ 以下である。

12. 項1記載の半導体装置の製造方法において、前記SiGe:Cに含まれる酸素系不純物の濃度は $5 \times 10^{18} \text{cm}^{-3}$ 以下である。

13. 以下を含む半導体装置:

(a) エピタキシャル成長により形成され、Cの濃度が $3 \times 10^{20} \text{cm}^{-3}$ 以下における場酸素系不純物の濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以下であるSiGe:C。

14. 項13記載の半導体装置において、前記SiGe:Cは、バイポーラトランジスタのベースの一部を構成する。

15. 項14記載の半導体装置において、前記SiGe:Cに含まれるGeの濃度は10から40%である。

16. 項13記載の半導体装置において、前記SiGe:Cは、MISFETのチャネルを構成する。

17. 項16記載の半導体装置において、前記SiGe:Cに含まれるGeの濃度は20から60%である。

[0018] 本願に開示されたその他の発明のいくつかの概要を以下に項に分けて記載する。

1. 以下の工程を含む半導体装置の製造方法:

(a) 第1の水素ガス(ここで水素ガスと言うときは希釈対象であるシラン系化合物ガスを除いたものである)中に炭素原子を含むシラン系化合物ガス(モノシラン、ジシラン、トリシラン等の水素を、単一または複数のメチル基、アルキル基等の炭素と水素とを主要な構成要素として含む基で置き換えたもの)を0.3%以上の第1の濃度で含有す

る第1の原料ガスを準備する工程(ここで準備するとは、たとえば、前記第1の原料ガスが充填されたボンベから反応室に向かって、ガスが流れるように装置を操作すること等を示す)；

(b) 前記第1の原料ガスを第2の水素ガスで希釈(水素ガスは純化器を介して反応室に供給されるので酸素系不純物濃度は大幅に低くなっている)することによって、前記シラン系化合物ガスを前記第1の濃度よりも低い第2の濃度で含有する第1の希釈原料ガスを生成する工程；

(c) 前記第1の希釈原料ガスの内、少なくとも第1の部分(必要により、前記第1の部分は前記第1の希釈原料ガスの全部であっても良い)を被処理ウエハが収容された反応室内に供給する工程；

(d) 供給された前記第1の希釈原料ガスの前記第1の部分を用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程。

2. 前記項第1項において、前記第1の希釈原料ガスの内、残余の第2の部分は、前記反応室内には供給されない(すなわち、反応路に導入せず、ベント等を介して外部に放出または適当なタンクに戻すことにより、原料ガスに含まれる酸素系不純物を低減する)前記半導体装置の製造方法。

3. 前記項第2項または第1項において、前記第1の水素ガスおよび前記第2の水素ガスは実質的に同一の濃度組成を有する前記半導体装置の製造方法。

4. 前記項第1項から第3項のいずれか一つにおいて、前記第2の水素ガスの純度は99.99%以上である前記半導体装置の製造方法。

5. 前記項第1項から第4項のいずれか一つにおいて、前記反応室は枚葉型エピタキシャル装置(一般に一度に1枚または2枚のウエハを同一反応室内で処理するものを指し、1枚処理のものを特に1枚葉と呼び、2枚葉と区別する)のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

6. 前記項第1項から第5項のいずれか一つにおいて、前記反応室はバッチ型エピタキシャル装置(一般に一度に3枚以上のウエハを同一反応室内で処理するものを指す)のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

7. 前記項第1項から第6項のいずれか一つにおいて、前記エピタキシャル層はHBTのベース領域の一部である前記半導体装置の製造方法。
8. 前記項第1項から第7項のいずれか一つにおいて、前記エピタキシャル層は歪みSiGe系MISFETのチャネル領域である前記半導体装置の製造方法。
9. 前記項第1項から第8項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度(すなわち(第1の希釈原料ガスの流量+第2の水素ガスの流量)/第1の希釈原料ガスの流量)は2から100である前記半導体装置の製造方法。
10. 前記項第1項から第9項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度は3から50である前記半導体装置の製造方法。
11. 前記項第1項から第10項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度は4から20である前記半導体装置の製造方法。
12. 前記項第1項から第11項のいずれか一つにおいて、前記第1の希釈原料ガスの希釈度は6から15である前記半導体装置の製造方法。
13. 前記項第1項から第12項のいずれか一つにおいて、前記第1の希釈原料ガスの導入度(すなわち(第1の希釈原料ガス中の第1の部分の流量+第1の希釈原料ガス中の第2の部分の流量)/第1の希釈原料ガス中の第1の部分の流量、言い換えれば、前記第1の希釈原料ガスの内、どの割合を前記反応室に導入するかを示す数値の逆数)は2から100である前記半導体装置の製造方法。
14. 前記項第1項から第13項のいずれか一つにおいて、前記第1の希釈原料ガスの導入度は3から50である前記半導体装置の製造方法。
15. 前記項第1項から第14項のいずれか一つにおいて、前記第1の希釈原料ガスの導入度は4から20である前記半導体装置の製造方法。
16. 前記項第1項から第15項のいずれか一つにおいて、前記第1の希釈原料ガスの導入度は6から15である前記半導体装置の製造方法。
17. 前記項第1項から第16項のいずれか一つにおいて、前記第1の濃度は0.6%以上である前記半導体装置の製造方法。
18. 前記項第1項から第17項のいずれか一つにおいて、前記第1の濃度は1%以上である前記半導体装置の製造方法。

19. 前記項第1項から第18項のいずれか一つにおいて、前記第1の濃度は2%以上である前記半導体装置の製造方法。

20. 前記項第1項から第19項のいずれか一つにおいて、前記第1の濃度は5%以上である前記半導体装置の製造方法。

21. 以下の工程を含む半導体装置の製造方法:

(a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有する第1の原料ガスを準備する工程;

(b) 前記第1の原料ガスを被処理ウエハが収容された反応室内に供給する工程;

(c) 供給された前記第1の原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記第1の濃度は0.6%以上(すなわち、高濃度の第1の原料ガス)である。

22. 前記項第21項において、前記第1の濃度は1%以上である前記半導体装置の製造方法。

23. 前記項第21項から第22項のいずれか一つにおいて、前記第1の濃度は2%以上である前記半導体装置の製造方法。

24. 前記項第21項から第23項のいずれか一つにおいて、前記第1の濃度は5%以上である前記半導体装置の製造方法。

25. 前記項第21項から第24項のいずれか一つにおいて、前記第1の水素ガスの純度は99.99%以上である前記半導体装置の製造方法。

26. 前記項第21項から第25項のいずれか一つにおいて、前記反応室は枚葉型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

27. 前記項第21項から第26項のいずれか一つにおいて、前記反応室はバッチ型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

28. 前記項第21項から第27項のいずれか一つにおいて、前記エピタキシャル層はHBTのベース領域の一部である前記半導体装置の製造方法。

29. 前記項第21項から第28項のいずれか一つにおいて、前記エピタキシャル層は

歪みSiGe系MISFETのチャネル領域である前記半導体装置の製造方法。

30. 以下の工程を含む半導体装置の製造方法:

- (a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有する第1の原料ガスを準備する工程;
- (b) 前記第1の原料ガスを被処理ウエハが収容された反応室内に供給する工程;
- (c) 供給された前記第1の原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記第1の原料ガスの酸素系不純物(酸素原子を含む不純物で、例えば酸素ガス、二酸化炭素ガス、水蒸気等の水分等)の濃度は5ppm未満である。

31. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は3ppm未満である前記半導体装置の製造方法。

32. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は1ppm未満である前記半導体装置の製造方法。

33. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は0.5ppm未満である前記半導体装置の製造方法。

34. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は0.2ppm未満である前記半導体装置の製造方法。

35. 前記項第30項において、前記第1の原料ガスの酸素系不純物の濃度は0.1ppm未満である前記半導体装置の製造方法。

36. 前記項第30項から第35項のいずれか一つにおいて、前記半導体装置の製造方法は更に以下の工程を含む:

- (d) 前記工程(a)の後、前記工程(b)の前に、前記第1の原料ガスを第2の水素ガスで希釈する工程。

37. 前記項第30項から第36項のいずれか一つにおいて、前記工程(b)において、前記反応室内に供給されるのは、前記第1の原料ガスの内、第1の部分である前記半導体装置の製造方法。

38. 以下の工程を含む半導体装置の製造方法:

- (a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有す

る第1の原料ガスを準備する工程；

(b) 前記第1の原料ガスを被処理ウエハが収容された反応室内に供給する工程；

(c) 供給された前記第1の原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記工程(b)において、前記第1の原料ガスは酸素系不純物ガスを除去する能力のある純化器またはフィルタを通して前記反応室に供給される。

39. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は5ppm未満である前記半導体装置の製造方法。

40. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は3ppm未満である前記半導体装置の製造方法。

41. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は1ppm未満である前記半導体装置の製造方法。

42. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は0.5ppm未満である前記半導体装置の製造方法。

43. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は0.2ppm未満である前記半導体装置の製造方法。

44. 前記項第38項において、前記純化器またはフィルタを通過した後の前記第1の原料ガスの酸素系不純物の濃度は0.1ppm未満である前記半導体装置の製造方法。

45. 前記項第38項から第35項のいずれか一つにおいて、前記第1の原料ガスは高濃度である前記半導体装置の製造方法。

46. 前記項第38項から第45項のいずれか一つにおいて、前記半導体装置の製造方法は更に以下の工程を含む：

(d) 前記工程(a)の後、前記工程(b)の前に、前記第1の原料ガスを第2の水素ガスで希釈する工程。

47. 前記項第38項から第46項のいずれか一つにおいて、前記工程(b)において、

前記反応室内に供給されるのは、前記第1の原料ガスの内、第1の部分である前記半導体装置の製造方法。

48. 以下の構成を含む半導体装置：

(a) 第1の主面を有する基体；

(b) 前記第1の主面上に設けられたSiGe:C系エピタキシャル層、ここで、前記エピタキシャル層の炭素濃度は、 $3 \times 10^{20} \text{ cm}^{-3}$ 以下であり、酸素系不純物濃度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。

49. 前記項第48項において、前記エピタキシャル層はバイポーラトランジスタのベースの一部を構成する半導体装置。

50. 前記項第49項において、前記エピタキシャル層に含まれるGeの濃度は10から40%である半導体装置。

51. 前記項第48項において、前記エピタキシャル層はMISFETのチャネルを構成する半導体装置。

52. 前記項第51項において、前記エピタキシャル層に含まれるGeの濃度は20から60%である半導体装置。

53. 以下の工程を含む半導体装置の製造方法：

(a) 第1の水素ガス(すなわち水素を主要な成分とするガス)中に炭素原子を含むシラン系化合物ガスを第1の濃度で含有する第1の原料ガスを準備する工程；

(b) 前記第1の原料ガスを第2の水素ガス(すなわち水素を主要な成分とするガス)で希釈することによって、前記シラン系化合物ガスを前記第1の濃度よりも低い第2の濃度で含有する第1の希釈原料ガスを生成する工程；

(c) 前記第1の希釈原料ガスを被処理ウエハが収容された反応室内に供給する工程；

(d) 供給された前記第1の希釈原料ガスを用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程、ここで、前記第1の濃度は0.6%以上(少なくとも0.3%以上であればよい)である。

54. 前記項第53項において、前記第1の濃度は1%以上である前記半導体装置の製造方法。

55. 前記項第53項から第54項のいずれか一つにおいて、前記第1の濃度は2%以上である前記半導体装置の製造方法。

56. 前記項第53項から第55項のいずれか一つにおいて、前記第1の濃度は5%以上である前記半導体装置の製造方法。

57. 前記項第53項から第56項のいずれか一つにおいて、前記第1の水素ガスの純度は99.99%以上である前記半導体装置の製造方法。

58. 前記項第53項から第57項のいずれか一つにおいて、前記反応室は枚葉型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

59. 前記項第53項から第58項のいずれか一つにおいて、前記反応室はバッチ型エピタキシャル装置のエピタキシャル層形成用反応室である前記半導体装置の製造方法。

60. 前記項第53項から第59項のいずれか一つにおいて、前記エピタキシャル層はHBTのベース領域の一部である前記半導体装置の製造方法。

61. 前記項第53項から第60項のいずれか一つにおいて、前記エピタキシャル層は歪みSiGe系MISFETのチャネル領域である前記半導体装置の製造方法。

発明の効果

[0019] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0020] エピタキシャル成長により形成されるSiGe:Cに含まれる酸素系不純物の濃度を低減することができるので、HBTのベースにSiGe:Cを用いても、酸素系不純物に起因したキャリアのライフタイムの低下を防ぐことができる。その結果として、hFEを向上させることができる。さらに、HBTのベースまたはMIS・FETのチャネルにSiGe:Cを用いても、酸素原子を起因とする結晶欠陥が低減できるので、リーク電流を低減し、破壊耐圧を向上することができる。

図面の簡単な説明

[0021] [図1]本発明の実施の形態1である選択性SiGe:CをベースとするHBTの製造工程を示す基板の要部断面図である。

[図2]図1に続くHBTの製造工程中の図1と同じ箇所の要部断面図である。

[図3]図2に続くHBTの製造工程中の図1と同じ箇所の要部断面図である。

[図4]図3に続くHBTの製造工程中の図1と同じ箇所の要部断面図である。

[図5]図4に続くHBTの製造工程中の図1と同じ箇所の要部断面図である。

[図6]図5に続くHBTの製造工程中の図1と同じ箇所の要部断面図である。

[図7]図6に続くHBTの製造工程中の図1と同じ箇所の要部断面図である。

[図8]本発明の実施の形態1であるHBTのベースを示す基板の要部拡大図である。

[図9]本発明の実施の形態1であるHBTのベースの形成に用いるエピタキシャル装置の配管構造を示す図である。

[図10]希釈しない SiH_3CH_3 を用いてエピタキシャル成長により形成した SiGe:C の不純物のSIMSプロファイルである。

[図11](a)はエピタキシャル成長により形成した SiGe の不純物のSIMSプロファイル、(b)は SiH_4 を用いた Si のエピタキシャル成長中に、 GeH_4 にて Ge を、 SiH_3CH_3 にて C を各々箱型にドーピングした場合のSIMSプロファイルである。

[図12] SiH_3CH_3 濃度、および H_2 により希釈された SiH_3CH_3 に含まれる理論上の酸素系不純物濃度を示す図である。

[図13](a)は濃度1%の SiH_3CH_3 の希釈効果、(b)は濃度5%の SiH_3CH_3 の希釈効果、(c)は濃度10%の SiH_3CH_3 の希釈効果、(d)は希釈しない SiH_3CH_3 の濃度を示す図である。

[図14](a)は希釈した濃度1%、5%または10%の SiH_3CH_3 の消費量と希釈しない濃度0.1%の SiH_3CH_3 の消費量との比、(b)は希釈した濃度1%、5%または10%の SiH_3CH_3 のコストパフォーマンスと希釈しない濃度0.1%の SiH_3CH_3 のコストパフォーマンスとの比、(c)は0.1%の SiH_3CH_3 に対する濃度1%、5%および10%の SiH_3CH_3 の価格比を示す図である。

[図15] C 濃度をパラメータとした SiGe:C に含まれる酸素系不純物濃度と Ge 濃度との関係を示すグラフ図である。

[図16]希釈しない SiH_3CH_3 を用いて形成される SiGe:C および希釈した濃度1%、5%または10%の SiH_3CH_3 を用いて形成される SiGe:C に含まれる酸素系不純物濃

度とC濃度との関係を示すグラフ図である。

[図17]本発明の実施の形態1であるエピタキシャル成長において各々のマスフローコントローラにより調整されるガス流量の一例を示す図である。

[図18]本発明の実施の形態1である各々のマスフローコントローラにより調整されるガス流量と時間(Duration)との関係を示すグラフ図である。

[図19]図7に続くHBTの製造工程中の図1と同じ箇所の要部断面図である。

[図20](a)は本発明の実施の形態1である高純度の SiH_3CH_3 を採用したエピタキシャル装置の配管構造を示す図、(b)は本発明の実施の形態1であるキャリアガスによる SiH_3CH_3 の希釈を採用したエピタキシャル装置の配管構造を示す図である。

[図21]本発明の実施の形態1である純化器を増設したエピタキシャル装置の配管構造を示す図である。

[図22]本発明の実施の形態2である非選択性SiGe:CをベースとするHBTの製造工程を示す基板の要部断面図である。

[図23]図22に続くHBTの製造工程中の図22と同じ箇所の要部断面図である。

[図24]図23に続くHBTの製造工程中の図22と同じ箇所の要部断面図である。

[図25]図24に続くHBTの製造工程中の図22と同じ箇所の要部断面図である。

[図26]図25に続くHBTの製造工程中の図22と同じ箇所の要部断面図である。

[図27]図26に続くHBTの製造工程中の図22と同じ箇所の要部断面図である。

[図28]本発明の実施の形態3である歪みSiGe:CをチャネルとするnチャネルMIS・FETを示す基板の要部断面図である。

[図29]本発明の実施の形態3である歪みSiGe:CをチャネルとするpチャネルMIS・FETを示す基板の要部断面図である。

[図30]本発明の実施の形態3である非選択性SiGe:CをチャネルとするnチャネルMIS・FETの製造方法を示す基板の要部断面図である。

[図31]図30に続くnチャネルMIS・FETの製造工程中の図30と同じ箇所の要部断面図である。

[図32]図31に続くnチャネルMIS・FETの製造工程中の図30と同じ箇所の要部断面図である。

[図33]図32に続くnチャネルMIS・FETの製造工程中の図30と同じ箇所の要部断面図である。

[図34]図33に続くnチャネルMIS・FETの製造工程中の図30と同じ箇所の要部断面図である。

[図35]本発明の実施の形態3である選択性SiGe:CをチャネルとするnチャネルMIS・FETの製造方法を示す基板の要部断面図である。

[図36]図35に続くnチャネルMIS・FETの製造工程中の図35と同じ箇所の要部断面図である。

[図37]図36に続くnチャネルMIS・FETの製造工程中の図35と同じ箇所の要部断面図である。

[図38]図37に続くnチャネルMIS・FETの製造工程中の図35と同じ箇所の要部断面図である。

[図39]図38に続くnチャネルMIS・FETの製造工程中の図35と同じ箇所の要部断面図である。

[図40]図39に続くnチャネルMIS・FETの製造工程中の図35と同じ箇所の要部断面図である。

発明を実施するための最良の形態

[0022] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0023] また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

[0024] さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

- [0025] 同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。
- [0026] また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。
- [0027] また、ウェハとは、集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体装置というときは、シリコンウェハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT (Thin-Film-Transistor) およびSTN (Super-Twisted-Nematic) 液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。
- [0028] なお、以下の実施例では、具体的な装置およびその他の条件要求等（例えばドーピング量の調整の幅等の関係で制御性を確保するため）に適合させるため、炭素を含むシラン系原料ガス以外についても、希釈とベントによる一部ガスの排出による反応室への各種ガスの導入の安定化、精度向上、制御性の向上等を図っているが、各種ガスの導入方法は、これらのやり方に限定されず、単純な直接導入法や希釈だけ、または一部ベントのみを用いる方法であっても良い。このことは、炭素を含むシラン系原料ガスの供給についても同様である。
- [0029] なお、本願でガスについて言及するときは、簡潔のため「水素ガス」等のごとく、主要な成分を構成するか、または特に注目する元素、原子、分子名で呼ぶが、それらは、特にそうでない旨明示する場合または原理的にそうでないことが明らかである場合を除き、他のガス（添加ガス、希釈ガス等）を含有することを許容することは言うまでもない。
- [0030] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。
- [0031] （実施の形態1）
本実施の形態による選択性SiGe:CをベースとするHBTの製造方法を図1から図2

1を用いて工程順に説明する。

- [0032] まず、図1に示すように、基板1を用意する。この段階の基板1は、半導体ウエハを称する平面略円形状の部材からなり、例えばチョクラスキー法等のような結晶引き上げ法により形成された n^+ 型のシリコン単結晶からなり、その抵抗率は、例えば3から $6m\Omega\text{cm}$ である。次に、基板1に n 型不純物をイオン注入して、 n ウェル(コレクタ)2を形成する。続いて、基板1の表面に熱酸化法によりシリコン酸化膜を形成した後、基板1上にシリコン窒化膜をCVD法で堆積する。続いて、パターニングされたレジストをマスクとしてシリコン窒化膜をエッチングし、レジストを除去した後、選択熱酸化法により厚さ200から400nm程度のLOCOS酸化膜3を基板1の素子分離領域に形成する。このLOCOS酸化膜3によって基板1の活性領域が既定される。その後、上記シリコン窒化膜を除去する。なお、素子分離はLOCOS酸化膜3に限定されるものではなく、例えば溝に絶縁膜を埋め込んだ溝型素子分離を用いてもよい。
- [0033] 次に、図2に示すように、基板1上に、厚さ50から200程度の絶縁膜4および厚さ50から400nm程度のシリコン多結晶膜5を順次堆積する。絶縁膜4は、例えばTEOS (Tetra Ethyl Ortho Silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$) とオゾン(O_3)とをソースガスに用いたプラズマCVD法または有機シランの熱分解によるCVD法により堆積されたシリコン酸化膜を例示することができる。このシリコン酸化膜は、熱酸化によってシリコン単結晶に形成されるシリコン酸化膜よりも密度が低く、熱酸化によって形成されるシリコン酸化膜の約10倍のウェットエッチング速度を有する。続いてシリコン多結晶膜5に p 型不純物、例えばBをイオン注入して、多結晶シリコン膜5の導電型を p^+ 型とする。
- [0034] 次に、図3に示すように、基板1上に、厚さ50から200nm程度のシリコン窒化膜6および厚さ50から200nm程度の絶縁膜7を順次堆積する。
- [0035] 次に、図4に示すように、パターニングされたレジストをマスクとして、絶縁膜7、シリコン窒化膜6およびシリコン多結晶膜5を順次エッチングし、HBTが形成される領域の絶縁膜4を露出させ、エミッタ開口部8を形成する。加工されたシリコン多結晶膜5はベース引き出し電極を形成する。
- [0036] 次に、図5に示すように、基板1上に、厚さ10から100nm程度のシリコン窒化膜を堆積し、このシリコン窒化膜を、例えばRIE法で異方性エッチングして、エミッタ開口

部8の側壁にスペーサ9を形成する。

- [0037] 次に、図6に示すように、ウェットエッチングにより絶縁膜7を除去し、さらに露出している絶縁膜4の一部を除去して、基板1 (nウェル2) の活性領域の表面を露出させる。この際、シリコン多結晶膜5の下の絶縁膜4の一部もウェットエッチングされて、10nm程度の隙間が生ずる。
- [0038] 次に、図7に示すように、基板1 (nウェル2) の活性領域の表面にSiGe:Cをエピタキシャル成長により選択的に形成して、HBTのベース10を形成する。以下に、選択性SiGe:Cの形成方法を詳細に説明する。
- [0039] 図8に、ベースを示す基板の要部拡大図を示す。ベース10は、下から順に真性半導体 (Intrinsic Semiconductor) であるSiGe:C (以下、i-SiGe:Cと記す) 10a、相対的に高濃度の p^+ 型半導体であるSiGe:C (以下、 p^+ -SiGe:Cと記す) 10b、相対的に低濃度の p^- 型半導体であるSiGe:C (以下、 p^- -SiGe:Cと記す) 10cおよびSi10dからなる。i-SiGe:C10a、 p^+ -SiGe:C10b、 p^- -SiGe:C10cおよびSi10dの厚さは、例えばそれぞれ3から30nm程度、3から8nm程度、3から10nmおよび5から50nm程度である。
- [0040] 図9に、本実施の形態1であるHBTのベースの形成に用いるエピタキシャル装置の配管構造を示す。ここでは、1枚1枚のウェハに対して処理を行う枚葉式エピタキシャル装置を例示するが、何枚かのウェハをひとまとめにして同時に処理するバッチ式エピタキシャル装置を用いてもよい (一般に6インチすなわち150mm以上のウェハではウェハ内均一性の観点から枚葉が有利と考えられる。しかし、処理能力の観点からバッチ式が有利な場合もある。8インチすなわち200mmまたは12インチすなわち300mm以上では枚葉の優位性が大きいと考えられる)。チャンバ (反応室) 11へ繋がるメインプロセスガスラインMGLには、 H_2 、Si原子にH (水素) 原子若しくはCl (塩素) 原子が結合するガス、例えば SiH_4 、 Si_2H_6 またはDCS (Dichlorosilane: SiH_2Cl_2)、Geを含有するガス (例えば GeH_4)、Bを含有するガス (例えば B_2H_6)、Asを含有するガス (例えば AsH_3)、Cを含有するガス (例えば SiH_3CH_3) 等を供給するそれぞれのガスラインが接続されている。Cを供給するガスとして SiH_3CH_3 を用いたが、例えば $SiH_2(CH_3)_2$ 、 $SiH(CH_3)_3$ または $Si(CH_3)_4$ を用いてもよい。HClはSi原子にH原子だ

けが結合するガス(SiH_{x-2x+2})を使用する選択性エピタキシャル成長の際には必須であるが、DCS等のCl原子を含むガスを使用する際には任意で使用する。

[0041] キャリアガスである H_2 の流量はマスフローコントローラMFC1により調整され、メインプロセスガスラインMGLに流されて、エピタキシャル装置のチャンバ11へ供給される。同様に、 SiH_4 またはDSCの流量はマスフローコントローラMFC2により、 GeH_4 の流量はマスフローコントローラMFC3により調整され、各々のガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。さらに、マスフローコントローラMFC4によりその流量が調整された B_2H_6 にマスフローコントローラMFC5によりその流量が調整された H_2 が混合されて、メインプロセスガスラインMGLに繋がる前に B_2H_6 は希釈される。希釈された B_2H_6 はマスフローコントローラMFC6によりその流量が調整され、ガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。不要な希釈された B_2H_6 はベント(Vent)ライン12から排気される。また、マスフローコントローラMFC7によりその流量が調整された AsH_3 にマスフローコントローラMFC8によりその流量が調整された H_2 が混合されて、メインプロセスガスラインMGLに繋がる前に AsH_3 は希釈される。希釈された AsH_3 はマスフローコントローラMFC9によりその流量が調整され、ガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。不要な希釈された AsH_3 はベントライン12から排気される。また、マスフローコントローラMFC10によりその流量が調整された SiH_3CH_3 にマスフローコントローラMFC11によりその流量が調整された H_2 が混合されて、メインプロセスガスラインMGLに繋がる前に SiH_3CH_3 は希釈される。希釈された SiH_3CH_3 はマスフローコントローラMFC12によりその流量が調整され、ガスラインからメインプロセスガスラインMGLに流されて、チャンバ11へ供給される。不要な希釈された SiH_3CH_3 はベントライン12から排気される。

[0042] 希釈に用いる H_2 の純度は99.99%以上(購入時すなわちボンベまたはシリンダにおける純度)、 O_2 濃度は3ppm以下、 N_2 濃度は50ppm以下であり、 H_2 は製造工場内の集中配管によって供給される。さらにエピタキシャル装置へ流す前に、 H_2 を水素純化器(水分、酸素、二酸化炭素等の酸素系不純物を除去する能力があり、これを通したあとは、99.999%から99.9999%またはそれ以上の純度となる)に通しており

、マスフローコントローラMFC11へ流される H_2 の酸素系不純物の濃度は0.03ppm以下程度(非希釈ガスであるシラン系炭素含有ガスの純度と比較して純度が高い。ただし、無害な他の添加ガス等の存在を許容する)である。

[0043] SiH_3CH_3 は、ボンベに充填されてガス製造メーカから半導体製造工場へ搬送される。炭素を含むシラン系化合物ガスとしての濃度100%の SiH_3CH_3 に含まれる酸素系不純物の濃度は一般に10ppm未満とされているが、エピタキシャル成長によりSiGe:Cを形成する際、この酸素系不純物がSiGe:Cに混入する。

[0044] 図10は、濃度0.1%の希釈しない SiH_3CH_3 を用いてエピタキシャル成長により形成したSiGe:Cに含まれる不純物のSIMSプロファイル、図11(a)は、 SiH_3CH_3 を使わずにエピタキシャル成長により形成したSiGeのSIMSプロファイルである。図10に示すように、SiGe:CのGeが導入された部分ではO濃度の顕著な増加が見られ、O濃度が $10^{18}cm^{-3}$ 以上となっている。しかし、図11(a)に示すように、エピタキシャル成長により形成したSiGeでは、酸素不純物濃度は検出限界以下となる。すなわち、SiGe:Cのエピタキシャル成長時には、Ge原子によって SiH_3CH_3 に含まれる酸素系不純物がSiGe:Cに取り込まれ、その酸素系不純物は、Ge濃度またはC濃度が増加するに従い増加すると考えられる。これは、図11(b)に示すようなSiをエピタキシャル成長している最中にGeまたはCを各々箱型にドーピングした実験において、酸素不純物濃度が上がらなかった実験結果からも裏付けられる。従って、SiGe:Cに含まれる酸素系不純物を減らすためには、Ge濃度またはC濃度を減らすことが効果的である。しかし、所望する組成のSiGe:Cを形成するためには、Ge濃度またはC濃度を低減することはできない。

[0045] そこで、本実施の形態1では、高濃度の SiH_3CH_3 を用い、これを H_2 により希釈してチャンバへ供給することにより、C濃度を低減させることなくチャンバ内の SiH_3CH_3 から導入される酸素系不純物の濃度を低減し、成膜されるSiGe:Cに含まれる酸素系不純物の濃度を低減させる。ここで、高濃度とは、一般には0.3%以上の範囲を言う(本願においては、目的に対応してその他1%以上、2%以上、または5%以上を示す場合もある)。量産に適した範囲としては、0.5から10%が適切であるが、さらに0.6から5%等の1から2%を中心値とする周辺範囲が、最も好適と考えられる(他の条件に

よってはこの範囲に限定されないことはもとよりである)。また、低濃度とは、0.2%未満の範囲を言い、量産においては0.05から0.1%を中心値とする周辺範囲が適用される(他の条件によってもこの範囲に限定されないことはもとよりである)。

[0046] 一般に SiH_3CH_3 の濃度に依らず、 SiH_3CH_3 に含まれる酸素系不純物濃度は10ppmとされているが、希釈された SiH_3CH_3 に含まれる理論上の酸素系不純物濃度を計算した。図12に、 SiH_3CH_3 濃度および酸素系不純物濃度の一例をまとめる。理論上の酸素系不純物の濃度は、希釈した濃度10%の SiH_3CH_3 では $10\text{ppm} \times 10\% = 1\text{ppm}$ 、希釈した濃度5%の SiH_3CH_3 では $10\text{ppm} \times 5\% = 0.5\text{ppm}$ 、希釈した濃度1%の SiH_3CH_3 では $10\text{ppm} \times 1\% = 0.1\text{ppm}$ 、希釈した濃度0.1%の SiH_3CH_3 では $10\text{ppm} \times 0.1\% = 0.01\text{ppm}$ となり、 SiH_3CH_3 濃度が減少するに従い、理論上の酸素系不純物濃度は低減する。

[0047] 図13に、 SiH_3CH_3 を希釈した場合における酸素系不純物濃度の低減効果をまとめる。(a)は濃度1%の SiH_3CH_3 を H_2 で希釈した場合、(b)は濃度5%の SiH_3CH_3 を H_2 で希釈した場合、(c)は濃度10%の SiH_3CH_3 を H_2 で希釈した場合の希釈効果を示し、(d)は、比較のために希釈しない SiH_3CH_3 の濃度を示す。希釈した濃度1%、5%または10%の SiH_3CH_3 におけるCのDN(Dopant Number:実効流量)が0.06となるように、 SiH_3CH_3 (MFC10)の流量(SCR)、 H_2 (MFC11)の流量(DIL)および H_2 により希釈され、メインプロセスガスラインMGLへ流れる SiH_3CH_3 (MFC12)の流量(INJ)を変えている。DNとは式(1)により定義される。

$$[0048] \quad \text{DN} = \text{INJ} \times \text{SCR} / (\text{SCR} + \text{DIL}) \quad \text{式(1)}$$

図13から、 SiH_3CH_3 濃度と酸素系不純物濃度とが比例すると仮定した場合、希釈された SiH_3CH_3 の流量(INJ)が希釈しない濃度0.1%の SiH_3CH_3 の流量(SCR)と同じ60sccmであれば、 SiH_3CH_3 を希釈しても酸素系不純物の低減効果がないことがわかる。しかし希釈された SiH_3CH_3 の流量(INJ)が増加すると希釈された SiH_3CH_3 の流量(INJ)に反比例して希釈効果が現れる。

[0049] 例えば希釈された SiH_3CH_3 の流量(INJ)が300sccmであれば、濃度1%、5%または10%の SiH_3CH_3 を希釈して用いた場合、希釈しない濃度0.1%の SiH_3CH_3 を用いた場合よりも酸素系不純物濃度を1/5に低減することができる。また、例えば希

積された SiH_3CH_3 の流量(INJ)が600sccmであれば、濃度1%、5%または10%の SiH_3CH_3 を希釈して用いた場合、希釈しない濃度0.1%の SiH_3CH_3 を用いた場合よりも酸素系不純物濃度を1/10に低減することができる。

[0050] SiH_3CH_3 の希釈率は、 SiH_3CH_3 の流量(SCR)と H_2 の流量(DIL)とを用いて定義することができ、前記式(1)の $\text{SCR}/(\text{SCR}+\text{DIL})$ で表される。また、この希釈率の逆数を希釈度と定義すると、希釈度は、2から100の範囲が適切な範囲であると考えられる(他の条件によってはこの範囲に限定されないことはもとよりである)。量産に適した範囲としては3から50が考えられるが、さらに4から20の範囲が最も好適と考えられる。

[0051] なお、キャリアガス(H_2)は20slm程度流すことができるので、希釈された SiH_3CH_3 の流量(INJ)が60sccmから300sccmに増えても、その変化は $240\text{sccm}/20\text{slm}=1.2\%$ であり、また希釈された SiH_3CH_3 の流量(INJ)が60sccmから600sccmに増えても、その変化は $540\text{sccm}/20\text{slm}=2.7\%$ であるので、 SiH_3CH_3 の流量(INJ)の増加は、エピタキシャル成長へは影響しないと考えられる。

[0052] さらに、濃度1%、5%または10%の SiH_3CH_3 を希釈して用いた場合、希釈しない濃度0.1%の SiH_3CH_3 を用いた場合よりも SiH_3CH_3 の消費量およびコストパフォーマンスを低減することができる。図14(a)に、希釈された SiH_3CH_3 の流量(INJ)が300sccmにおける濃度1%、5%または10%の SiH_3CH_3 を希釈して用いた場合の SiH_3CH_3 の消費量と希釈しない濃度0.1%の SiH_3CH_3 を用いた場合の SiH_3CH_3 の消費量との比を示し、同図(b)に、希釈された SiH_3CH_3 の流量(INJ)が300sccmにおける濃度1%、5%または10%の SiH_3CH_3 を希釈して用いた場合のコストパフォーマンスと希釈しない濃度0.1%の SiH_3CH_3 を用いた場合のコストパフォーマンスとの比を示し、同図(c)に、0.1%の SiH_3CH_3 に対する濃度1%、5%および10%の SiH_3CH_3 の価格比を示す。コストパフォーマンスは式(2)で表される。

[0053]
$$\text{コストパフォーマンス} = \text{価格比} \times \text{流量比} \quad \text{式(2)}$$

濃度1%、5%または10%の SiH_3CH_3 を希釈して用いた場合の SiH_3CH_3 消費量は、希釈しない濃度0.1%の SiH_3CH_3 を用いた場合の SiH_3CH_3 消費量の1/6となり、希釈することにより、 SiH_3CH_3 の使用量を低減することができる。また濃度1%、5

%および10%の SiH_3CH_3 を希釈して用いた場合のコストパフォーマンスは、それぞれ0.28、0.39および0.49となり、濃度1%、5%および10%の SiH_3CH_3 を希釈して用いた場合の費用は、濃度0.1%の SiH_3CH_3 を用いた場合の費用の約30%、約40%および約50%となる。

[0054] ところで、前述したように、 SiGe:C に取り込まれる酸素系不純物は、Ge濃度またはC濃度が増加するに従い増加する(前記図10および図11参照)。図15に、C濃度をパラメータとした SiGe:C に含まれる酸素系不純物濃度とGe濃度との関係を示す。図中、実線は希釈しない SiH_3CH_3 を用いて形成された SiGe:C の酸素系不純物濃度を示し、破線は希釈された高濃度の SiH_3CH_3 を用いて形成された SiGe:C の酸素系不純物濃度を示す。

[0055] 例えばHBTのベースに用いられる SiGe:C に含まれるGe濃度は、10から40%範囲が適切な範囲であると考えられる(他の条件によってはこの範囲に限定されないことはもとよりである)。量産に適した範囲としては10から30%が考えられるが、さらに15から20%の範囲が最も好適と考えられる。また、例えばMIS・FETのチャネルに用いられる SiGe:C に含まれるGe濃度は、20から60%範囲が適切な範囲であると考えられる(他の条件によってはこの範囲に限定されないことはもとよりである)。量産に適した範囲としては20から40%が考えられるが、さらに15から30%の範囲が最も好適と考えられる。

[0056] HBTまたはMIS・FETへの影響が懸念される酸素系不純物濃度は $5 \times 10^{19} \text{cm}^{-3}$ 以上と考えられる。HBTまたはMIS・FETへの影響が無視できる酸素系不純物濃度については、例えば $5 \times 10^{19} \text{cm}^{-3}$ 未満が適切な範囲であると考えられる(条件によってはこの範囲に限定されないことはもとよりである)。また、量産においては $1 \times 10^{19} \text{cm}^{-3}$ 以下が適する範囲であると考えられるが、さらに $5 \times 10^{18} \text{cm}^{-3}$ 以下の範囲が最も好適と考えられる。

[0057] 例えば希釈しない SiH_3CH_3 を用いて形成されるC濃度 $1 \times 10^{20} \text{cm}^{-3}$ の SiGe:C では、Ge濃度10から60%の範囲で酸素系不純物濃度は $1 \times 10^{19} \text{cm}^{-3}$ 以下となり、この SiGe:C をHBTまたはMIS・FETに用いることができる。しかし、C濃度が $1 \times 10^{20} \text{cm}^{-3}$ よりも高くなると酸素系不純物濃度の増加のため、 SiGe:C をHBTのベースま

たはMIS・FETのチャネルに用いることが難しくなる。例えば希釈しない SiH_3CH_3 を用いて形成されるC濃度 $2 \times 10^{20} \text{cm}^{-3}$ のSiGe:Cでは、Ge濃度が40%以下での酸素系不純物濃度は $1 \times 10^{19} \text{cm}^{-3}$ 以下となり、HBTに用いることができるが、Ge濃度が40%を越えると酸素系不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上となり、要求特性によっては、MIS・FETに用いることが一般にできなくなる。さらに、希釈しない SiH_3CH_3 を用いて形成されるC濃度 $3 \times 10^{20} \text{cm}^{-3}$ のSiGe:Cでは、Ge濃度が17%を越えると酸素系不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上となり、要求特性によっては、このSiGe:CをHBTのベースまたはMIS・FETのチャネルに用いることが一般にできなくなる。

[0058] そこで、濃度1%、5%または10%の SiH_3CH_3 を希釈して用いることにより、C濃度を変えずに、SiGe:Cに含まれる酸素系不純物濃度を低減する。図15には、一例として、酸素系不純物濃度を1/10に低減したC濃度 $2 \times 10^{20} \text{cm}^{-3}$ のSiGe:Cに含まれる酸素系不純物濃度とGe濃度との関係を示す。酸素系不純物濃度の低減には、希釈した濃度1%、5%または10%の SiH_3CH_3 を用いる。酸素系不純物濃度を1/10に低減することにより、Ge濃度が60%でも酸素系不純物濃度を $1 \times 10^{19} \text{cm}^{-3}$ 以下とすることができるので、C濃度 $2 \times 10^{20} \text{cm}^{-3}$ のSiGe:Cを20から60%のGe濃度を必要とするMIS・FETのチャネルにも用いることができる。同様に、C濃度 $3 \times 10^{20} \text{cm}^{-3}$ のSiGe:Cにおいても、酸素系不純物濃度を1/10に低減することにより、HBTのベースまたはMIS・FETのチャネルに用いることが可能となる。

[0059] 図16は、希釈しない SiH_3CH_3 を用いて形成されるSiGe:Cおよび希釈した高濃度の SiH_3CH_3 を用いて形成されるSiGe:Cに含まれる酸素系不純物濃度とC濃度との関係を示す。Ge濃度は17%であり、希釈した高濃度の SiH_3CH_3 を用いて形成されるSiGe:Cに含まれる酸素系不純物濃度は、希釈しない SiH_3CH_3 を用いて形成されるSiGe:Cに含まれる酸素系不純物濃度の1/10である。

[0060] Ge濃度が一定でも、C濃度が増加すると、SiGe:Cに含まれる酸素系不純物濃度は増加する。希釈しない SiH_3CH_3 を用いて形成されるSiGe:Cでは、C濃度が $3 \times 10^{20} \text{cm}^{-3}$ を越えると酸素系不純物濃度は $1 \times 10^{19} \text{cm}^{-3}$ 以上となり、HBTのベースまたはMIS・FETのチャネルへの採用が難しくなる。しかし、希釈した高濃度の SiH_3CH_3 を用いて形成されるSiGe:Cでは、C濃度が $5 \times 10^{20} \text{cm}^{-3}$ を越えると酸素系不純

物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上となるので、希釈しない SiH_3CH_3 を用いて形成される SiGe:C よりも SiGe:C に含まれるC濃度を高くすることができる。

[0061] 次に、本実施の形態1であるHBTのベースを形成するプロセスシーケンスの一例を説明する。図17は、エピタキシャル成長において各々のマスフローコントローラ(前記図9参照)により調整されるガス流量の一例を示し、図18は、各々のマスフローコントローラにより調整されるガス流量と時間(Duration)との関係を示す。HBTのベースは、 i-SiGe:C 、 $\text{p}^+\text{-SiGe:C}$ 、 $\text{p}^-\text{-SiGe:C}$ およびSiを下から順にエピタキシャル成長により形成された積層構造であり、 i-SiGe:C 、 $\text{p}^+\text{-SiGe:C}$ および $\text{p}^-\text{-SiGe:C}$ の形成には濃度1%の SiH_3CH_3 を用いている。ここでは、ベースの導電型をp型とするため、マスフローコントローラMFC4, 5, 6を開けて SiGe:C にBを供給するが、マスフローコントローラMFC7, 8, 9は閉じてAsを供給しないようにしている。

[0062] 図17および図18に示すように、マスフローコントローラMFCを調整することにより、所望する流量の所望するガスをチャンバへ供給することができる。なお、キャリアガスとして H_2 を用い、マスフローコントローラMFC1を通して一定の流量(20slm)のキャリアガスが流れている。まず、 SiH_4 (またはDCS)および GeH_4 がマスフローコントローラMFC2, 3を通り120秒間チャンバへ供給されて、 i-SiGe:C が形成され、次いで SiH_4 、 GeH_4 および H_2 により希釈された B_2H_2 がマスフローコントローラMFC2, 3, 4, 5, 6を通り30秒間チャンバへ供給されて、 $\text{p}^+\text{-SiGe:C}$ が形成され、次いで SiH_4 、 GeH_4 および H_2 により希釈された B_2H_2 がマスフローコントローラMFC2, 3, 4, 5, 6を通り60秒間チャンバへ供給されて、 $\text{p}^-\text{-SiGe:C}$ が形成される。これら SiGe:C の形成には、マスフローコントローラMFC10, 11, 12を通り、 H_2 により希釈された濃度1%の SiH_3CH_3 がチャンバへ供給される。これにより、C濃度を低減することなく、 i-SiGe:C 、 $\text{p}^+\text{-SiGe:C}$ 、 $\text{p}^-\text{-SiGe:C}$ に含まれる酸素系不純物を低減することができる。次いで、 SiH_4 および H_2 により希釈された B_2H_2 がマスフローコントローラMFC2, 4, 5, 6を通り90秒間チャンバへ供給されて、Siが形成される。DCSを用いる場合はHClの利用は任意である。 SiH_4 を用いる場合は選択性確保のため必須となる。

[0063] 次に、図19に示すように、基板1上にn型不純物、例えばP(リン)が添加されたシリコン多結晶膜13を堆積し、続いて、パターニングされたレジストをマスクとしてシリコン

多結晶膜13をエッチングする。加工されたシリコン多結晶膜13はHBTのエミッタを形成する。その後、さらにその上層に層間絶縁膜および配線層が形成されて、HBTが形成されるが、それらの図示および説明は省略する。

[0064] なお、本実施の形態1では、HBTのベースを i -SiGe:C、 p^+ -SiGe:C、 p^- -SiGe:CおよびSiからなる積層構造としたが、これに限定されるものではなく、例えば i -SiGe:C、 p^+ -SiGe:CおよびSiかなる積層構造としてもよい。

[0065] また、本実施の形態1では、他のプロセスガスと混合する前に高濃度の SiH_3CH_3 を H_2 より希釈し、これをメインプロセスガスラインMGLへ流してチャンバへ供給することにより、SiGe:Cに含まれる酸素系不純物濃度を減少させたが、メインプロセスガスラインMGLへ流される SiH_3CH_3 に含まれる酸素系不純物を低減させる方法は、これに限定されるものではない。

[0066] 例えば、高純度(酸素系不純物濃度が低いもの)の SiH_3CH_3 を採用する方法がある。図20(a)に、高純度の SiH_3CH_3 を採用したエピタキシャル装置の配管構造を示す。この方法は、純度を上げると SiH_3CH_3 の値段が高くなるという課題がある。しかし、ガスを変えるだけで、所望の特性が得られるというメリットがある。この場合は、0.2%未満(水素ガス等で希釈)の低濃度の炭素含有シラン系化合物ガスが一般に用いられるが、中濃度すなわち0.2%以上0.3%未満の範囲でも良い。さらに上記実施例と同様に、高濃度すなわち0.3%以上(さらに必要に応じて0.6%、1%、2%、5%以上等)のものを用いても良い。中濃度および高濃度の場合は、前記実施例と同様に、反応室に導入する際に、水素等で希釈して、一部のみを反応室に導入することで、さらに不純物濃度を下げることができる。

[0067] さらに、図21に示すように、前記高純度の炭素含有シラン系化合物ガスを使用する代わりに、通常炭素含有シラン系化合物ガスをエピタキシャル装置に接続された酸素系不純物を除去する能力のあるガス純化器またはフィルタ(炭素含有シラン系化合物ガス用の酸素系不純物除去装置)を通して供給するようにしても良い。この場合は、炭素含有シラン系化合物ガス用の酸素系不純物除去装置は水素用の同装置と比較すると高価であるが、比較的安いガスが使用できるメリットがある。もちろん、高純度のガスを適用しても良いことは言うまでもない。希釈および一部導入方式(併用)

も同様である。

- [0068] また、大量のキャリアガスをメインプロセスガスラインMGLへ流す方法もある。図20(b)に、キャリアガスによる SiH_3CH_3 の希釈を採用したエピタキシャル装置の配管構造を示す。この方法では、 SiH_3CH_3 を1/10から1/100に希釈して、メインプロセスガスラインMGLに流す前に希釈する方法(前記図9参照)と同じ濃度とするために、キャリアガスを10から100倍流す必要がある。そのため、排気ポンプの能力を10から100倍に引き上げる必要がある。
- [0069] このように、本実施の形態1では、高濃度の SiH_3CH_3 を H_2 により希釈し、これを所定の流量でエピタキシャル装置のチャンバへ入れることにより、チャンバ内の酸素系不純物の濃度が低減して、成膜される選択性SiGe:Cに含まれる酸素系不純物の濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以下に減少する。これにより、HBTのベースに選択性SiGe:Cを用いても、酸素系不純物に起因したキャリアのライフタイムの低下を防ぐことができる。その結果、ベースにおける再結合電流が低減されてベース電流が減少するので、希釈せずに低濃度の SiH_3CH_3 をチャンバへ供給する場合よりも、hFEを向上させることができる。さらに、酸素原子を起因とする結晶欠陥を低減することができるので、SiGe:Cのリーク電流を低減することができる。
- [0070] すなわち、以上の実施例および以下に示されたように、反応室に導入する炭素原子含有シラン系化合物ガスを含む水素ベースのガスを反応室で用いる濃度よりも高くする。反応室に導入する前に、反応室で用いる濃度に水素ベースのガス(必要により各種原子分子ベースのガスであって良い)で前記高濃度のガス(0.3%以上のガスに限らない)を希釈して、導入する。その場合、必要に応じて、希釈された炭素原子含有シラン系化合物ガスの一部を反応室に導入するようにしても良い。
- [0071] このようにして、高濃度よりの原料ガスを希釈して用いることによって、原料ガス製造過程に不可避免的に混入する微量(ppmオーダー)の酸素系不純物ガスの弊害を低減することができる。
- [0072] (実施の形態2)
- 本実施の形態2による非選択性SiGe:CをベースとするHBTの製造方法を図22から図27を用いて工程順に説明する。なお、以下の実施形態2, 3においては、特に明

示したSiGe:C層形成法の外、特に明らかに不適切である場合を除き、前記実施形態1に開示されたいかなる実施例も適用可能であることは言うまでもない。

- [0073] まず、図22に示すように、基板21を用意する。基板21は、シリコン単結晶からなり、その抵抗率は、例えば3から6mΩcmである。続いて、エピタキシャル成長法を用いて、例えば厚さ0.5μm程度のn型のエピタキシャル層22を基板21上に形成する。続いて、基板21の素子分離領域に厚さ200から500nm程度のLOCOS酸化膜23を形成した後、エピタキシャル層22の所定の領域にn型不純物、例えばPをイオン注入してnウェル24を形成し、同様にエピタキシャル層22の所定の領域にp型不純物、例えばBをイオン注入してpウェル25を形成する。
- [0074] 次に、図23に示すように、基板1上に厚さ10から50nm程度の絶縁膜26を、例えば熱酸化法により形成した後、厚さ10から50nm程度のシリコン多結晶膜27を、例えばCVD法により堆積する。続いて、パターニングされたレジストをマスクとして、シリコン多結晶膜27および絶縁膜26を順次エッチングし、HBTが形成される活性領域の基板21(nウェル24)を露出させ、ベース開口部28を形成する。
- [0075] 次に、図24に示すように、基板21上に、SiGe:Cを非選択性エピタキシャル成長により形成して、HBTのベース29を形成する。ベース29は、前記実施の形態1のHBTのベース10と同様に、i-SiGe:C29a、p⁺-SiGe:C29b、p⁻-SiGe:C29cおよびSi29dからなる積層構造である。i-SiGe:C29a、p⁺-SiGe:C29b、p⁻-SiGe:C29cおよびSi29dの形成には、前記実施の形態1の前記図9に示した配管を備えたエピタキシャル装置を用いる。すなわち、i-SiGe:C29a、p⁺-SiGe:C29bおよびp⁻-SiGe:C29cを非選択性エピタキシャル成長により形成する際も選択性エピタキシャル成長と同様に、高濃度のSiH₃CH₃をH₂により希釈し、これをメインプロセスガスラインへ流して、エピタキシャル装置のチャンバへ供給する。これにより、チャンバ内に導入される酸素系不純物の濃度が低減して、成膜されるSiGe:Cに含まれる酸素系不純物の濃度を1×10¹⁹cm⁻³以下に減少させることができる。
- [0076] 次に、図25に示すように、基板21上に絶縁膜30およびシリコン多結晶膜31を順次、例えばCVD法により堆積する。絶縁膜30およびシリコン多結晶膜31の厚さは、例えば30から80nm程度である。

- [0077] 次に、図26に示すように、パターニングされたレジストをマスクとして、シリコン多結晶膜31および絶縁膜30を順次エッチングして、ベース29の一部を露出させて、エミッタ開口部34を形成する。続いて、基板21上にn型不純物、例えばPが添加されたシリコン多結晶膜35および絶縁膜36を、例えばCVD法により順次堆積する。シリコン多結晶膜35および絶縁膜36の厚さは、例えば100から300nm程度である。
- [0078] 次に、図27に示すように、パターニングされたレジストをマスクとして絶縁膜36およびシリコン多結晶膜35を順次エッチングする。加工されたシリコン多結晶膜36はHBTのエミッタを形成する。その後、さらにその上層に層間絶縁膜および配線層が形成されて、HBTが形成されるが、それらの図示および説明は省略する。
- [0079] このように、本実施の形態2によれば、非選択性エピタキシャル成長においても、高濃度の SiH_3CH_3 を H_2 により希釈することにより、エピタキシャル装置のチャンバに導入される酸素系不純物の濃度を低減することができるので、成膜された非選択性SiGe:Cに含まれる酸素系不純物の濃度を $1 \times 10^{19} \text{cm}^{-3}$ 以下に減少させることができる。
- [0080] (実施の形態3)
- 本実施の形態3によるSiGe:CをチャンネルとするnチャンネルMIS・FETを図28に示す。
- [0081] p型のシリコン単結晶からなる基板41上に、厚さ $0.5 \mu\text{m}$ 程度のp型のエピタキシャル層42が形成され、さらにその上にnチャンネルMIS・FETのチャンネルが形成されている。このチャンネルは、下層からBが添加されたp型のSiGe:C43およびSi44が順に積層された構造を有している。SiGe:C43の厚さは、例えば0.2nm程度、Si44の厚さは、例えば0.1nm程度である。SiGe:C43およびSi44は、高濃度の SiH_3CH_3 を H_2 により希釈することにより、エピタキシャル装置へ導入される酸素系不純物を低減したエピタキシャル成長法により形成される。
- [0082] チャンネルの両側には、一対のn型半導体領域45によってソース・ドレインが形成されている。また、チャンネルの上には、シリコン酸化膜からなるゲート絶縁膜46が形成され、さらにその上には、p型不純物が導入されたシリコン多結晶膜からなるゲート電極47が形成されている。

[0083] 本実施の形態3によるSiGe:CをチャンネルとするpチャンネルMIS・FETを図29に示す。

[0084] n型のシリコン単結晶からなる基板48上に、厚さ $0.5\mu\text{m}$ 程度のp型のエピタキシャル層49が形成され、さらにその上にpチャンネルMIS・FETのチャンネルが形成されている。このチャンネルは、下層からAsが添加されたn型SiGe:C50およびSi51が順に積層された構造を有している。SiGe:C50の厚さは、例えば 0.2nm 程度、Si51の厚さは、例えば 0.1nm 程度である。SiGe:C50およびSi51は、高濃度の SiH_3CH_3 を H_2 により希釈することにより、エピタキシャル装置へ導入される酸素系不純物を低減したエピタキシャル成長法により形成される。

[0085] チャンネルの両側には、一对のp型半導体領域52によってソース・ドレインが形成されている。また、チャンネルの上には、シリコン酸化膜からなるゲート絶縁膜53が形成され、さらにその上には、n型不純物が導入されたシリコン多結晶膜からなるゲート電極54が形成されている。

[0086] 本実施の形態3による非選択性SiGe:CをチャンネルとするnチャンネルMIS・FETの製造方法を図30から図34を用いて工程順に説明する。

[0087] まず、図30に示すように、p型のシリコン単結晶からなる基板41を用意する。続いて、エピタキシャル層42を形成し、さらにBが添加されたSiGe:C43およびSi44を下層から順次形成する。SiGe:C43は、キャリアガスを H_2 とし、 $\text{SiH}_x\text{H}_{2x+2}$ (SiH_4 、 SiH_2H_6 等)若しくはDCS等のSiを含有するガス、 GeH_4 、 B_2H_6 、 SiH_3CH_3 の分解によるエピタキシャル成長法により形成される。ここで、前記実施の形態1と同様に、SiGe:C43の形成時には、1から10%の高濃度の SiH_3CH_3 を用い、これを H_2 により希釈してエピタキシャル装置のチャンバへ供給する。その結果、チャンバへ供給される SiH_3CH_3 に含まれる酸素系不純物の濃度が希釈されて、成膜されるSiGe:C43に含まれる酸素系不純物を低減することができる。

[0088] 次に、図31に示すように、Si44上にシリコン酸化膜からなるゲート絶縁膜46を形成する。ゲート絶縁膜46は、例えばSi44の表面を熱酸化することにより形成される。次いで、図32に示すように、ゲート絶縁膜46上にシリコン多結晶膜47aを堆積する。シリコン多結晶膜47aは、例えばCVD法により形成され、PまたはAsなどのn型不純物

が添加される。

- [0089] 次に、図33に示すように、パターニングされたレジストをマスクとして、シリコン多結晶膜47aおよびゲート絶縁膜46をエッチングする。加工されたシリコン多結晶膜47aはnチャネルMIS・FETのゲート電極47を形成する。次いで、図34に示すように、ゲート電極47をマスクとして、Si44、SiGe:C43およびエピタキシャル層42に、PまたはAsなどのn型不純物をイオン注入して、ソース・ドレインを構成する一対のn型半導体領域45を形成する。その後、基板41全体をパッシベーション膜で覆い、所定の配線等が形成されることにより、nチャネルMIS・FETが略完成する。
- [0090] 本実施の形態3による選択性SiGe:CをチャネルとするnチャネルMIS・FETの製造方法を図35から図40を用いて工程順に説明する。
- [0091] まず、図35に示すように、p型のシリコン単結晶からなる基板55を用意する。続いて、パターニングされたレジストをマスクとして、基板55に溝を形成する。次いで、基板55上にシリコン酸化膜を堆積した後、このシリコン酸化膜の表面を、例えばCMP (Chemical Mechanical Polishing) 法により平坦化して、上記溝の内部にシリコン酸化膜を残すことにより、素子分離56を形成する。
- [0092] 次に、図36に示すように、素子分離56に囲まれた基板55を除去して、凹部を形成する。次いで、図37に示すように、凹部にエピタキシャル層57を形成し、さらにBが添加されたSiGe:C58およびSi59を下層から順次形成する。SiGe:C58は、キャリアガスを H_2 とし、DCS (若しくは $SiH_x + HCl$ 、例えば $SiH_4 + HCl$ 等)、 GeH_4 、 B_2H_6 、 SiH_3CH_3 の分解によるエピタキシャル成長法により形成される。ここで、前記実施の形態1と同様に、SiGe:C58の形成時には、1から10%の高濃度の SiH_3CH_3 を用い、これを H_2 により希釈してエピタキシャル装置のチャンバへ供給する。その結果、チャンバへ供給される SiH_3CH_3 に含まれた酸素系不純物の濃度が希釈されて、成膜されるSiGe:C58に含まれる酸素系不純物を低減することができる。
- [0093] 次に、図38に示すように、Si59上に、相対的に比誘電率の低い材料、例えば HfO_2 からなるゲート絶縁膜60を形成する。ゲート絶縁膜60は、例えばCVD法により形成される。続いて、ゲート絶縁膜60上にシリコン多結晶膜61aを堆積する。シリコン多結晶膜61aは、例えばCVD法により形成され、PまたはAsなどのn型不純物が添加さ

れる。

- [0094] 次に、図39に示すように、パターニングされたレジストをマスクとして、シリコン多結晶膜61aおよびゲート絶縁膜60をエッチングする。加工されたシリコン多結晶膜61aはnチャネルMIS・FETのゲート電極61を形成する。次いで、図40に示すように、ゲート電極61をマスクとして、Si59、SiGe:C58およびエピタキシャル層57に、PまたはAsなどのn型不純物をイオン注入して、ソース・ドレインを構成する一対のn型半導体領域62を形成する。その後、基板55全体をパッシベーション膜で覆い、所定の配線等が形成されることにより、nチャネルMIS・FETが略完成する。
- [0095] このように、本実施の形態3によれば、1から10%の高濃度の SiH_3CH_3 を H_2 により希釈し、これをエピタキシャル装置のチャンバへ供給して形成された酸素系不純物濃度の低いSiGe:Cによって、MIS・FETのチャネルを構成することができる。これにより、チャネルにおける酸素原子を起因とする欠陥の発生を低減することができて、欠陥によるリーク電流を抑えることができるので、MIS・FETの信頼度を向上させることができる。
- [0096] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
- [0097] 例えば、前記実施の形態では、SiGe:CをHBTのベースまたはMIS・FETのチャネルに用いた場合について説明したが、SiGe:Cを有するいかなる半導体デバイスにも適用することができる。
- 産業上の利用可能性
- [0098] 本発明は、エピタキシャル成長技術により形成されるSiGe:Cを有する半導体装置、特にSiGe:Cをベースに用いるHBTまたは基板に用いるMIS・FETに適用することができる。

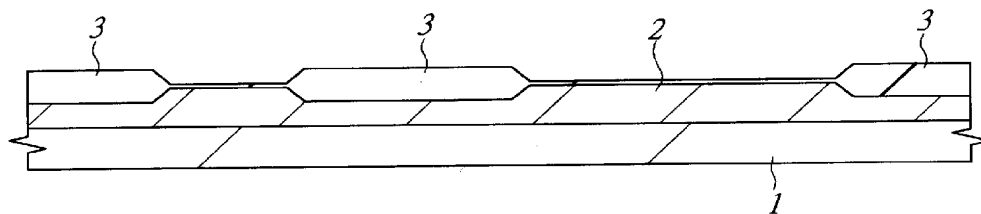
請求の範囲

- [1] 以下の工程を含む半導体装置の製造方法：
- (a) 第1の水素ガス中に炭素原子を含むシラン系化合物ガスを0.3%以上の第1の濃度で含有する第1の原料ガスを準備する工程；
 - (b) 前記第1の原料ガスを第2の水素ガスで希釈することによって、前記シラン系化合物ガスを前記第1の濃度よりも低い第2の濃度で含有する第1の希釈原料ガスを生成する工程；
 - (c) 前記第1の希釈原料ガスの内、少なくとも第1の部分を被処理ウエハが収容された反応室内に供給する工程；
 - (d) 供給された前記第1の希釈原料ガスの前記第1の部分を用いて、前記被処理ウエハの第1の主面上にSiGe:Cエピタキシャル層またはSiGe:C系のエピタキシャル層を形成する工程。
- [2] 前記請求項第1項において、前記第1の希釈原料ガスの内、残余の第2の部分は、前記反応室内には供給されない半導体装置の製造方法。
- [3] 前記請求項第1項において、前記第1の水素ガスおよび前記第2の水素ガスは実質的に同一の濃度組成を有する半導体装置の製造方法。
- [4] 前記請求項第3項において、前記第2の水素ガスの純度は99.99%以上である半導体装置の製造方法。
- [5] 前記請求項第1項において、前記反応室は枚葉型エピタキシャル装置のエピタキシャル層形成用反応室である半導体装置の製造方法。
- [6] 前記請求項第1項において、前記反応室はバッチ型エピタキシャル装置のエピタキシャル層形成用反応室である半導体装置の製造方法。
- [7] 前記請求項第1項において、前記エピタキシャル層はHBTのベース領域の一部である半導体装置の製造方法。
- [8] 前記請求項第1項において、前記エピタキシャル層は歪みSiGe系MISFETのチャネル領域である半導体装置の製造方法。
- [9] 前記請求項第1項において、前記第1の希釈原料ガスの希釈度は2から100である半導体装置の製造方法。

- [10] 前記請求項第1項において、前記第1の希釈原料ガスの希釈度は3から50である半導体装置の製造方法。
- [11] 前記請求項第1項において、前記第1の希釈原料ガスの希釈度は4から20である半導体装置の製造方法。
- [12] 前記請求項第1項において、前記第1の希釈原料ガスの希釈度は6から15である半導体装置の製造方法。
- [13] 前記請求項第1項において、前記第1の希釈原料ガスの導入度は2から100である半導体装置の製造方法。
- [14] 前記請求項第1項において、前記第1の希釈原料ガスの導入度は3から50である半導体装置の製造方法。
- [15] 前記請求項第1項において、前記第1の希釈原料ガスの導入度は4から20である半導体装置の製造方法。
- [16] 前記請求項第1項において、前記第1の希釈原料ガスの導入度は6から15である半導体装置の製造方法。
- [17] 前記請求項第1項において、前記第1の濃度は0.6%以上である半導体装置の製造方法。
- [18] 前記請求項第1項において、前記第1の濃度は1%以上である半導体装置の製造方法。
- [19] 前記請求項第1項において、前記第1の濃度は2%以上である半導体装置の製造方法。
- [20] 前記請求項第1項において、前記第1の濃度は5%以上である半導体装置の製造方法。

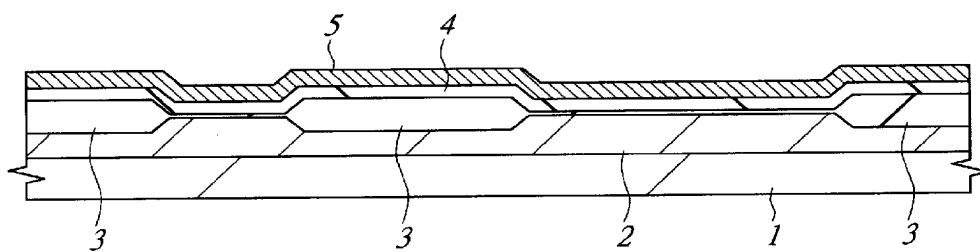
[図1]

図 1



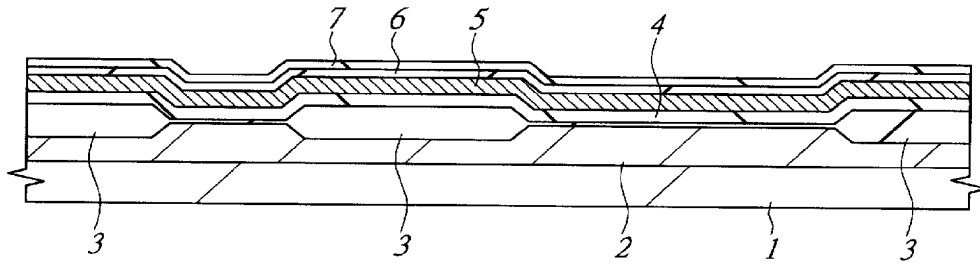
[図2]

図 2



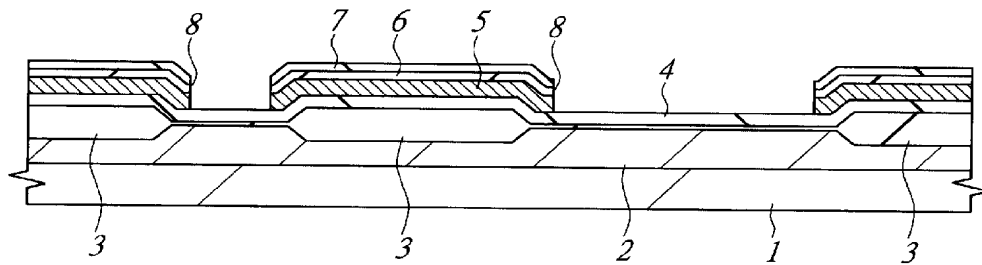
[図3]

図 3



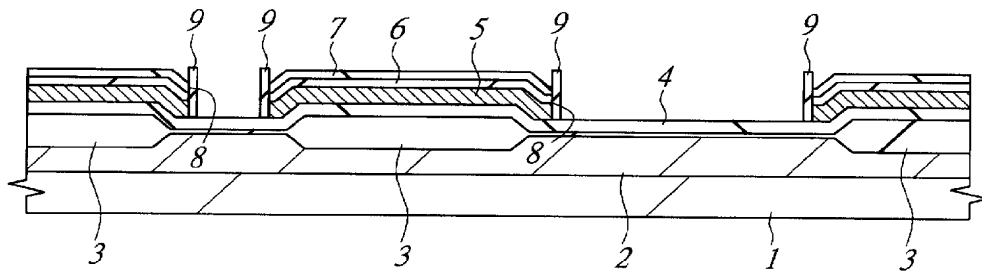
[図4]

図 4



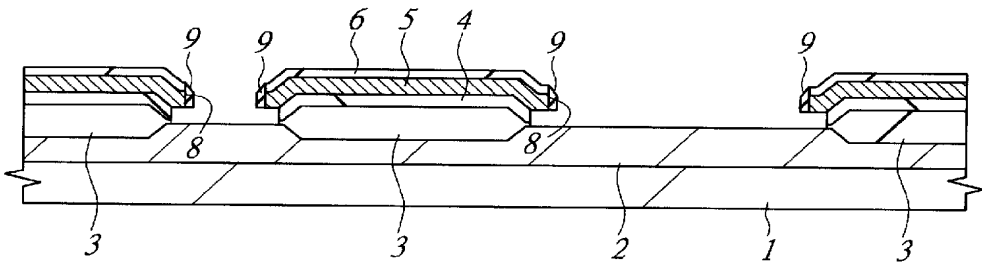
[図5]

図 5



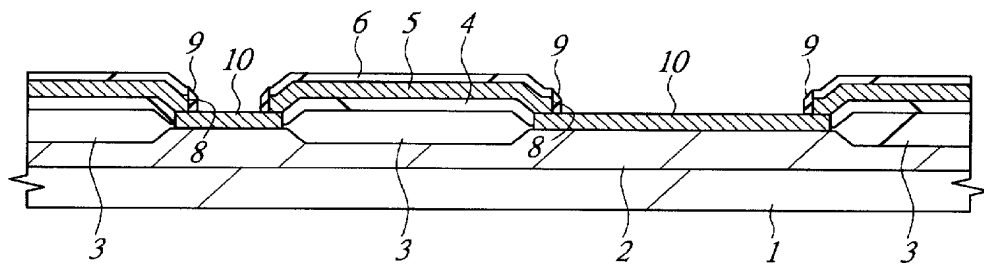
[図6]

図 6



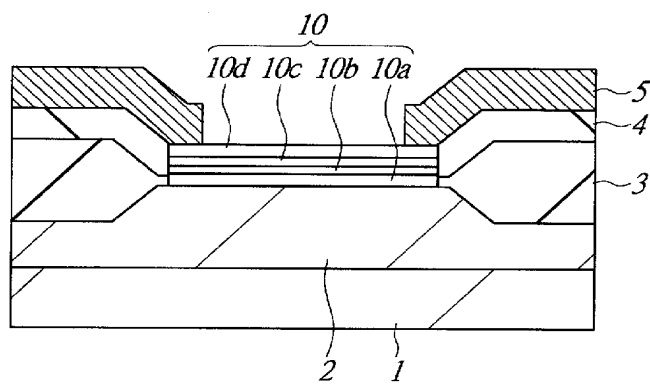
[図7]

図 7



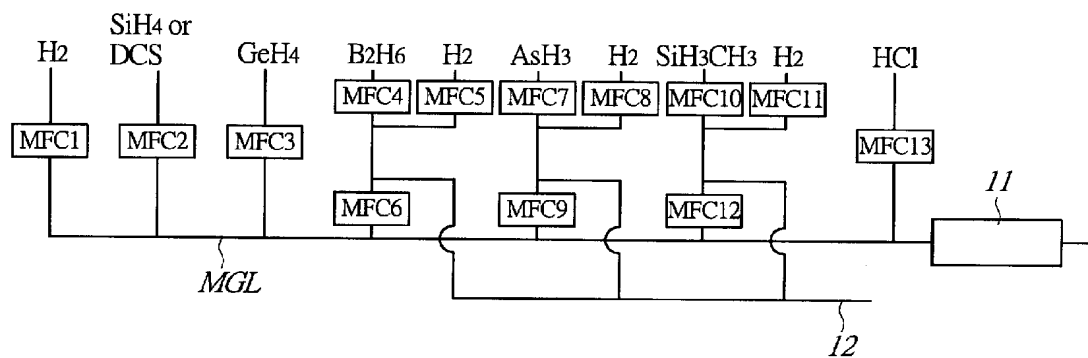
[図8]

図 8



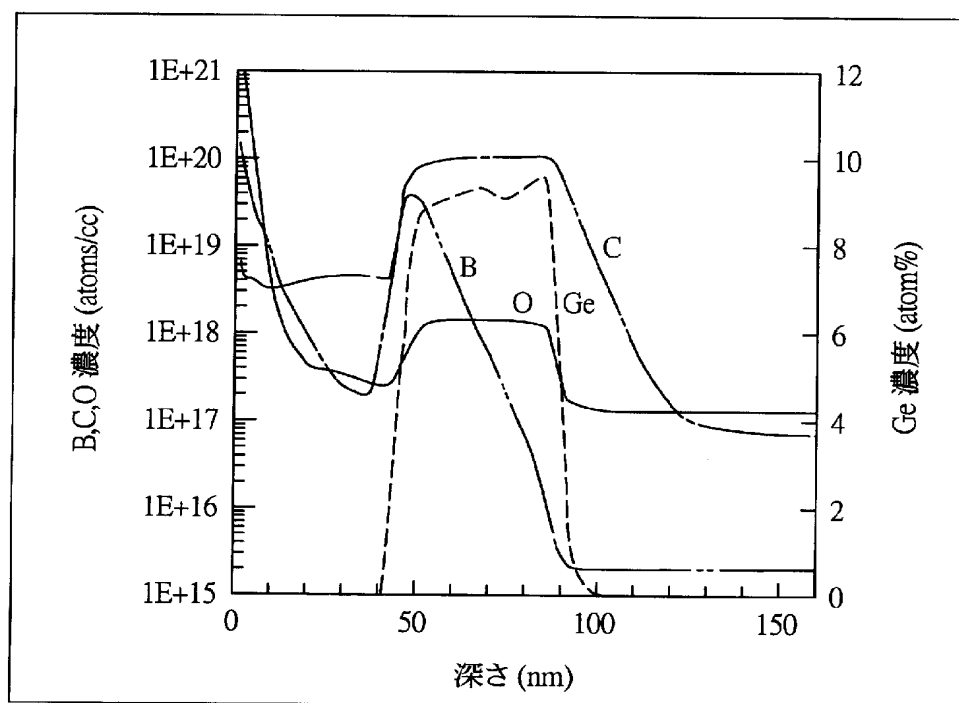
[図9]

図 9



[図10]

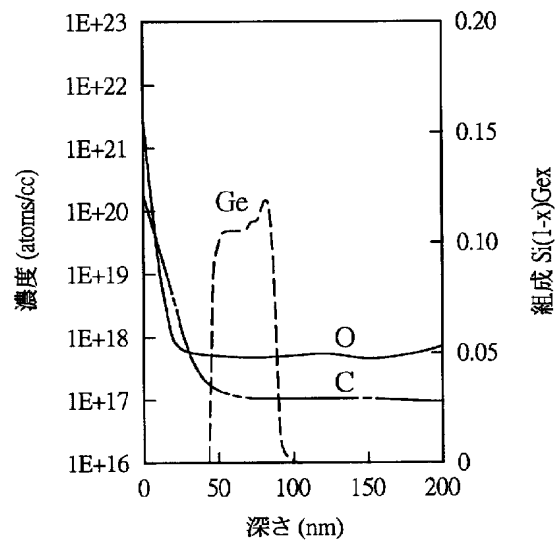
図 10



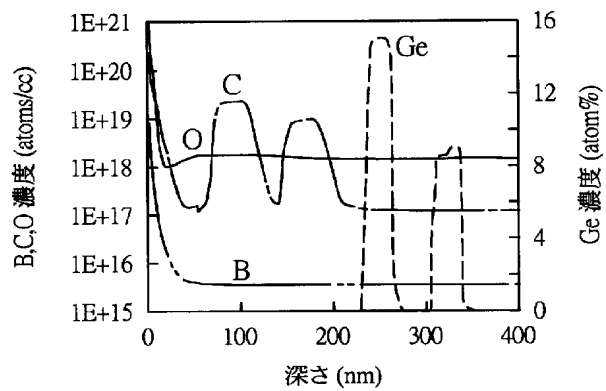
[図11]

図 11

(a)



(b)



[図12]

図 12

SiH_3CH_3 濃度 (%)	酸素系不純物濃度 (ppm) 理論値	酸素系不純物濃度 (ppm) メーカ保証値
100	10	10
10	1	10
5	0.5	10
1	0.1	10
0.1	0.01	10

[図13]

図 13

	Carbon DN	SCR (sccm)	DIL (sccm)	INJ (sccm)	Conc. (%)	不純物濃度 (ppm)		希釈効果	Conc.0.1%品に対する 酸素濃度比較
						希釈前	希釈後		
(a)	0.060	50	450	60	1	0.1	0.010	0.100	1.0
	0.060	10	490	300	1	0.1	0.002	0.020	0.2
	0.060	10	990	600	1	0.1	0.001	0.010	0.1
(b)	0.060	10	990	60	10	1	0.010	0.010	1.0
	0.060	10	4990	300	10	1	0.002	0.002	0.2
	0.060	10	9990	600	10	1	0.001	0.001	0.1
(c)	0.060	10	490	60	5	0.5	0.010	0.020	1.0
	0.060	10	2490	300	5	0.5	0.002	0.004	0.2
	0.060	10	4990	600	5	0.5	0.001	0.002	0.1
(d)	0.060	60	-	-	0.1	0.01	-	-	-

[図14]

図 14

(a)

Carbon DN	SCR (sccm)	DIL (sccm)	INJ (sccm)	Conc. (%)	不純物濃度 (ppm)		Conc.0.1%品に対する 酸素濃度比較	Conc.0.1%品に対する SiH ₃ CH ₃ 消費量比較(流量比)
					希釈前	希釈後		
0.060	10	490	300	1	0.1	0.002	0.2	0.167 (1/6)
0.060	10	4990	300	10	1	0.002	0.2	0.167 (1/6)
0.060	10	2490	300	5	0.5	0.002	0.2	0.167 (1/6)
0.060	60	-	-	0.1	0.01	-	-	-

(b)

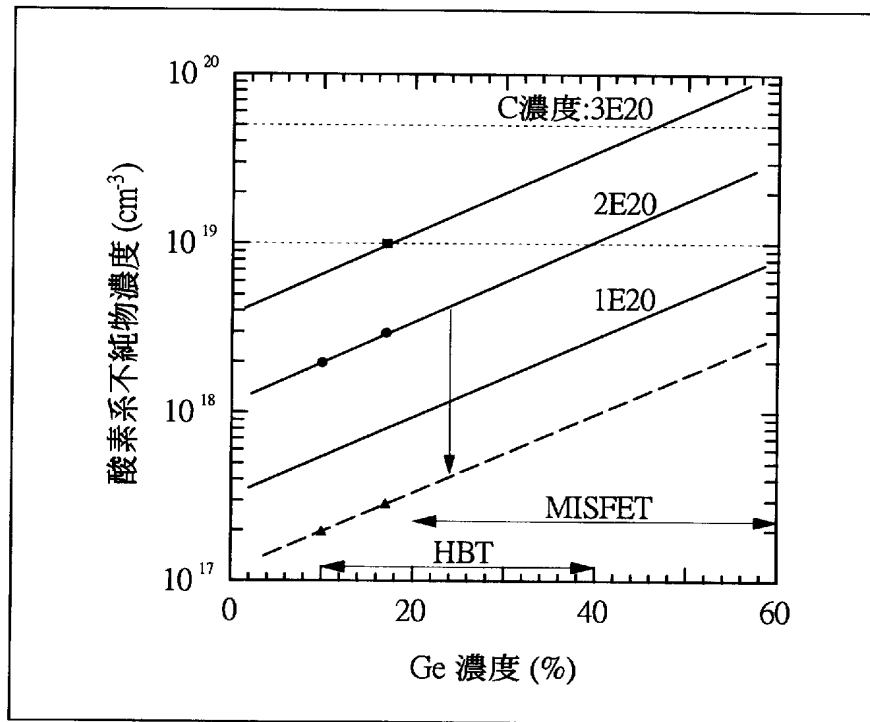
Carbon DN	SCR (sccm)	DIL (sccm)	INJ (sccm)	Conc. (%)	不純物濃度 (ppm)		Conc.0.1%品に対する 酸素濃度比較	Conc.0.1%品に対する コストパフォーマンス比較
					希釈前	希釈後		
0.060	10	490	300	1	0.1	0.002	0.2	0.28 (約30%)
0.060	10	4990	300	10	1	0.002	0.2	0.39 (約40%)
0.060	10	2490	300	5	0.5	0.002	0.2	0.49 (約50%)
0.060	60	-	-	0.1	0.01	-	-	-

(c)

gas	Conc.0.1%品に対する 価格比較(価格比)
Conc.1%SiH ₃ CH ₃ + H ₂	1.7
Conc.5%SiH ₃ CH ₃ + H ₂	2.4
Conc.10%SiH ₃ CH ₃ + H ₂	2.9

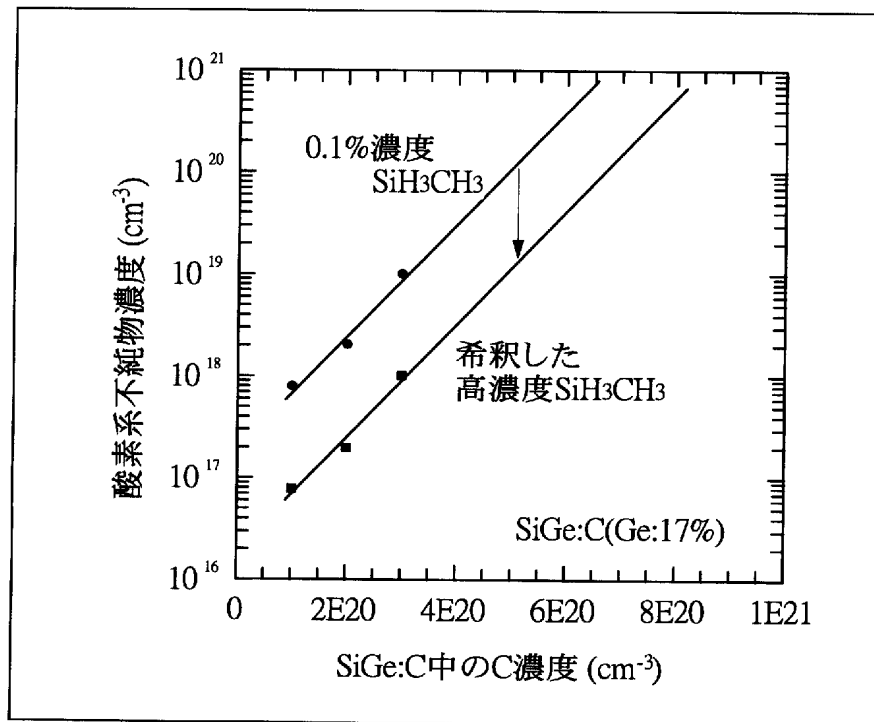
[図15]

図 15



[図16]

図 16



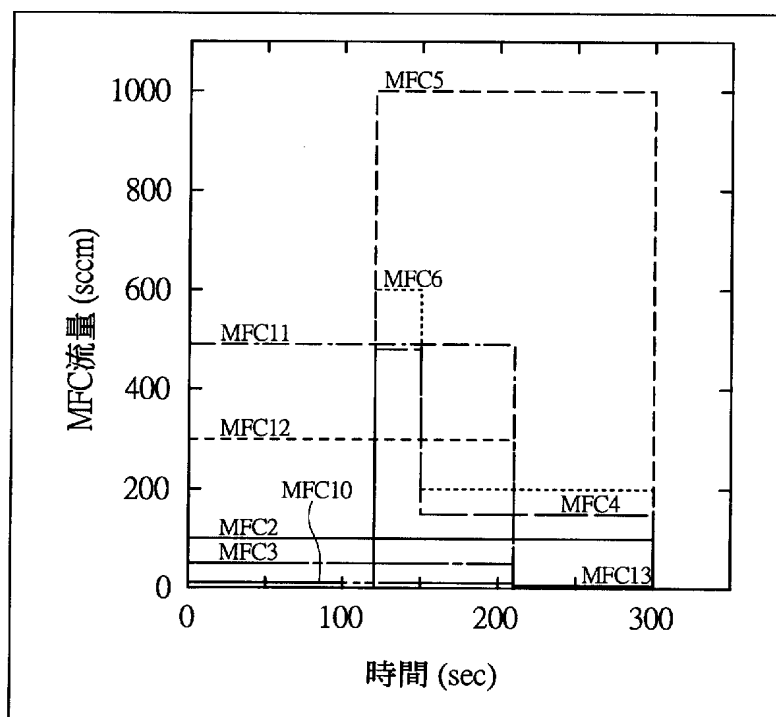
[図17]

図 17

	i-SiGe:C	p ⁺ -SiGe:C	p-SiGe:C	cap-Si
Duration(sec)	120	30	60	90
MFC1	20000	20000	20000	20000
MFC2(DCS)	100	100	100	100
MFC3	50	50	50	-
MFC4	-	480	150	150
MFC5	-	1000	1000	1000
MFC6	-	600	200	200
MFC7	-	-	-	-
MFC8	-	-	-	-
MFC9	-	-	-	-
MFC10	10	10	10	-
MFC11	490	490	490	-
MFC12	300	300	300	-
MFC13	10	10	10	6

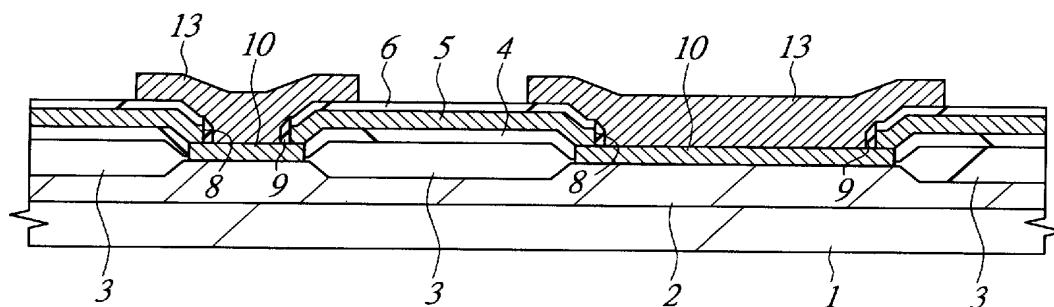
[図18]

図 18



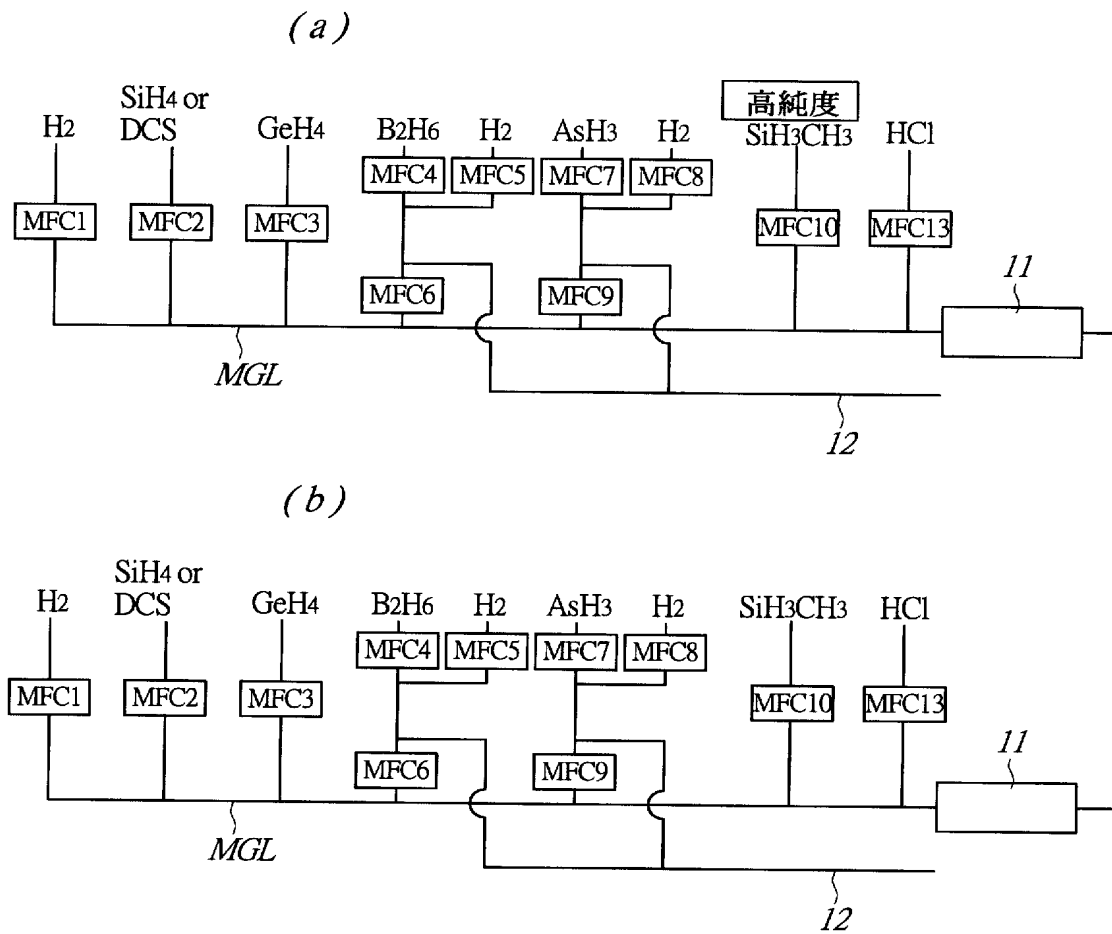
[図19]

図 19



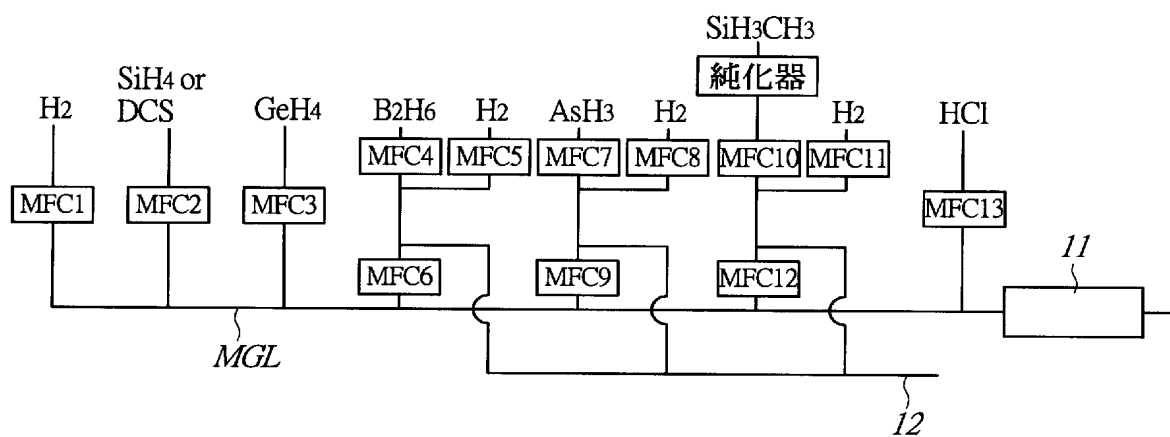
[図20]

図 20



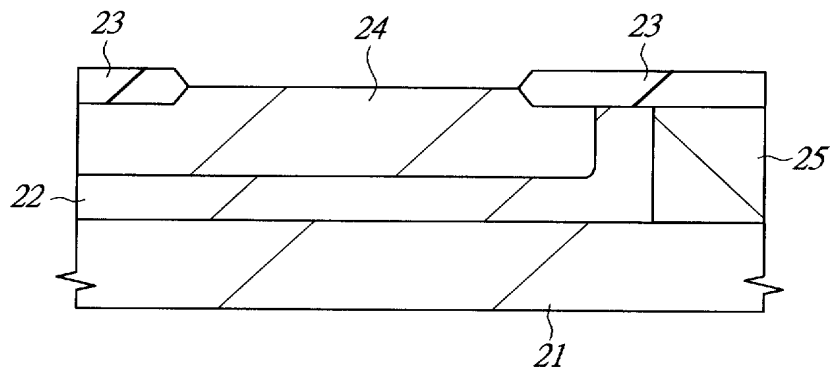
[図21]

図 21



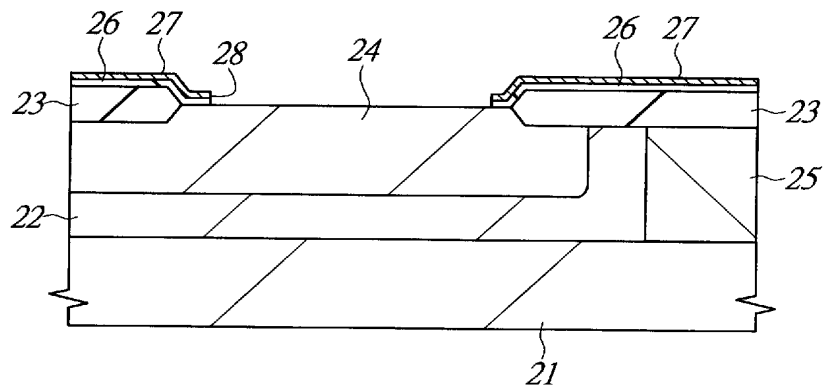
[図22]

図 22



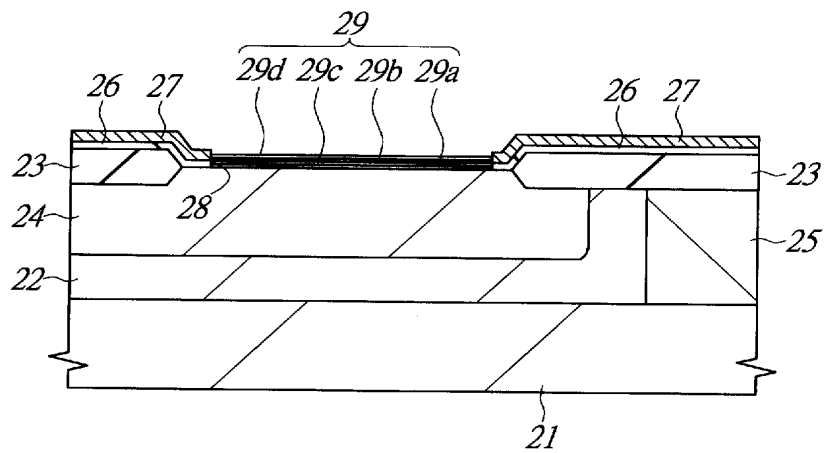
[図23]

図 23



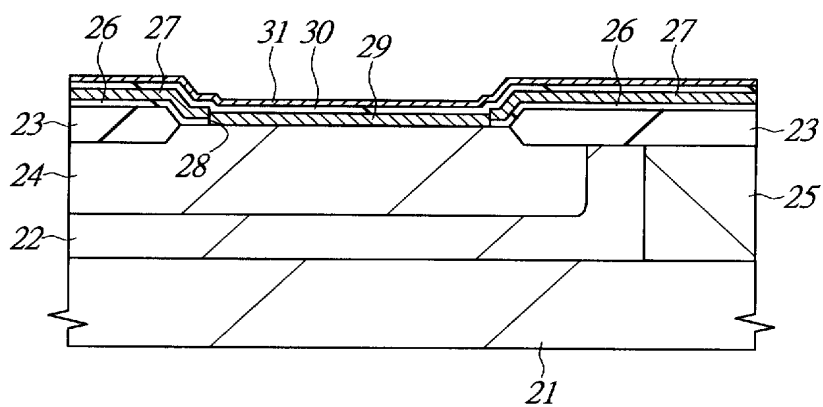
[図24]

図 24



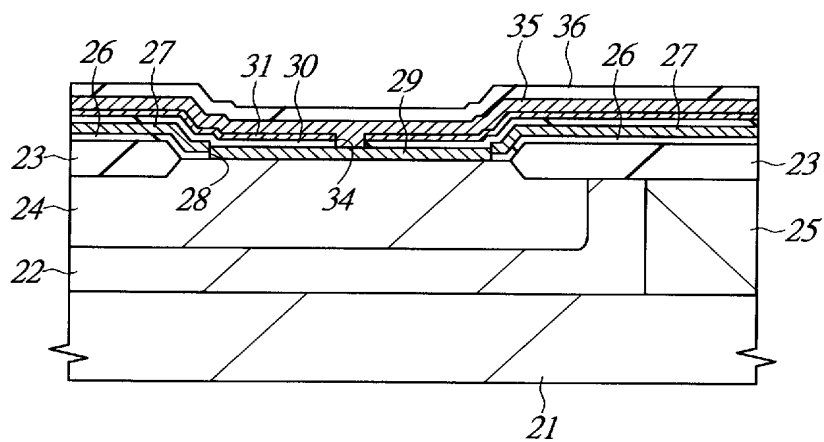
[図25]

図 25



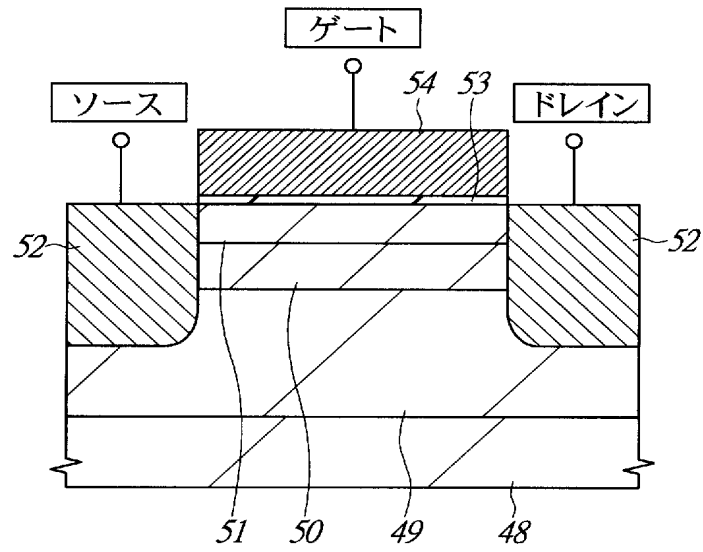
[図26]

図 26



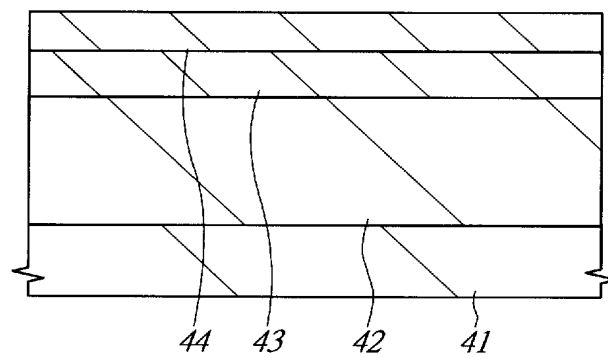
[図29]

図 29



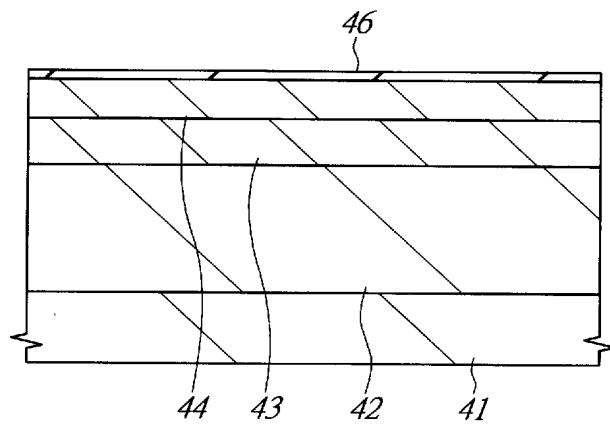
[図30]

図 30



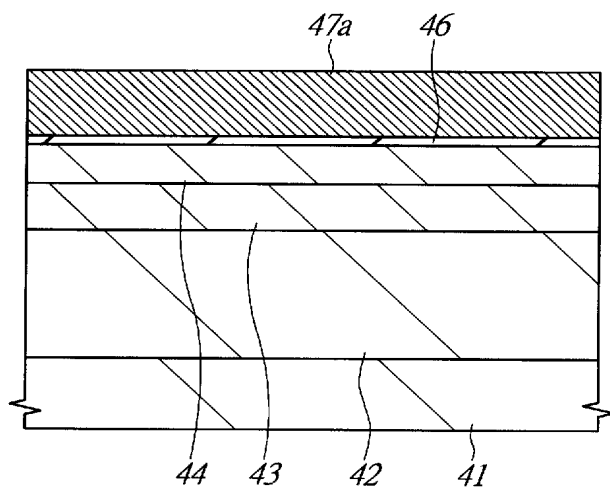
[図31]

図 31



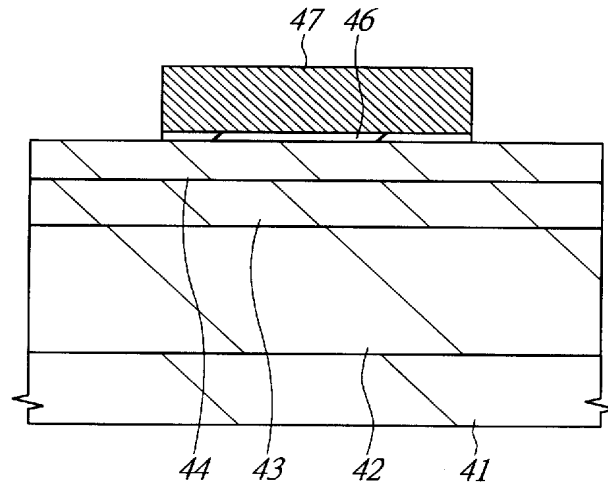
[図32]

図 32



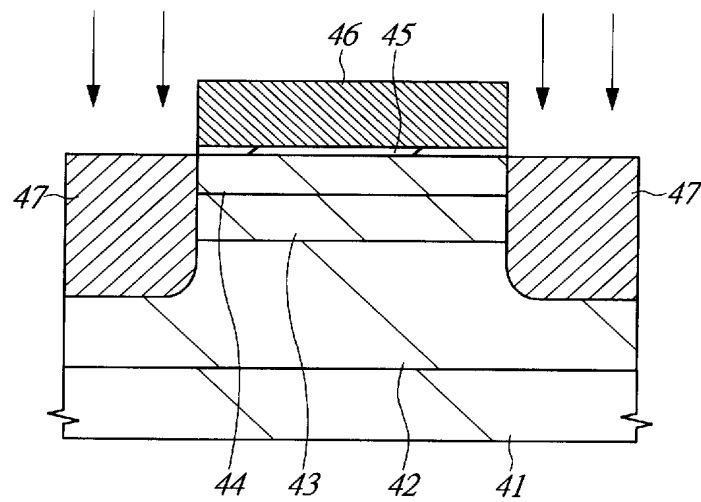
[図33]

図 33



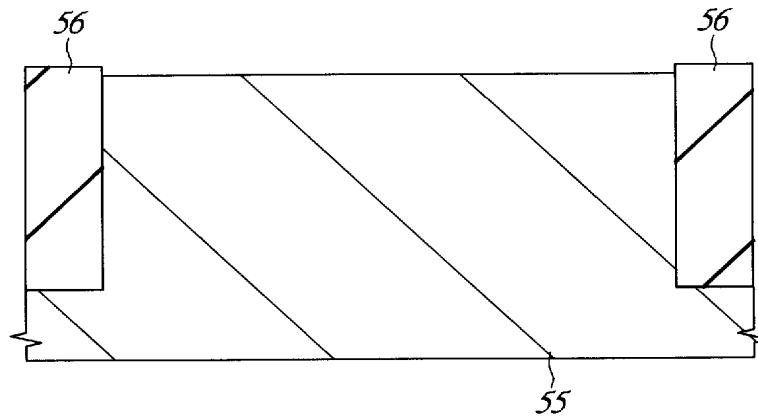
[図34]

図 34



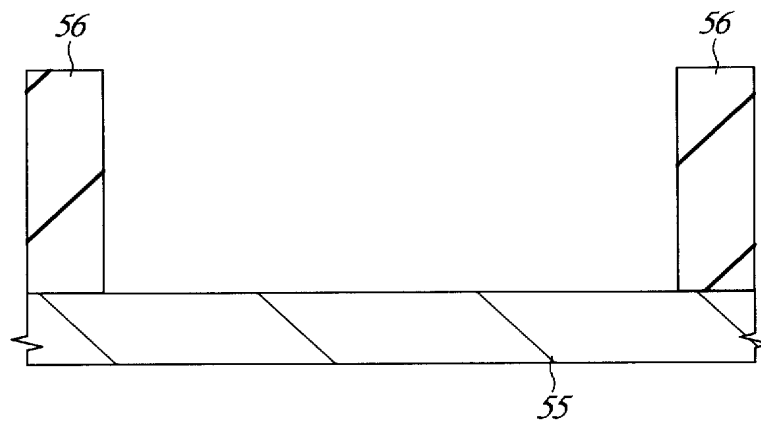
[図35]

図 35



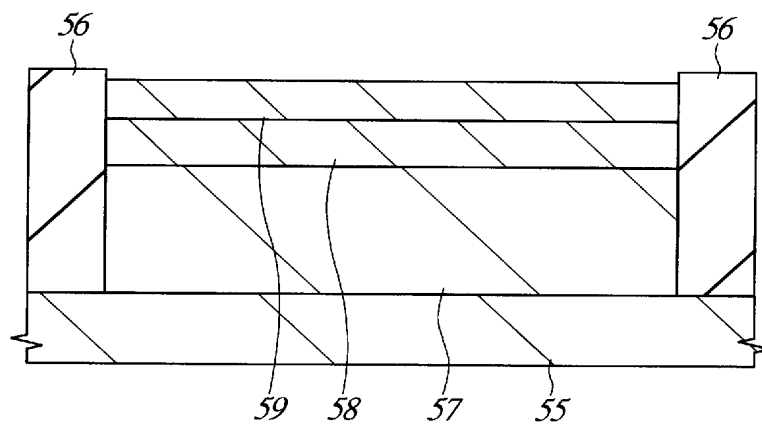
[図36]

図 36



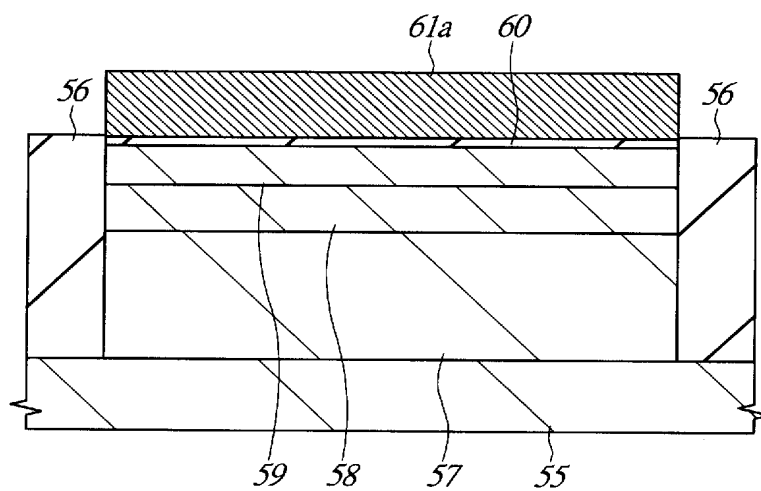
[図37]

図 37



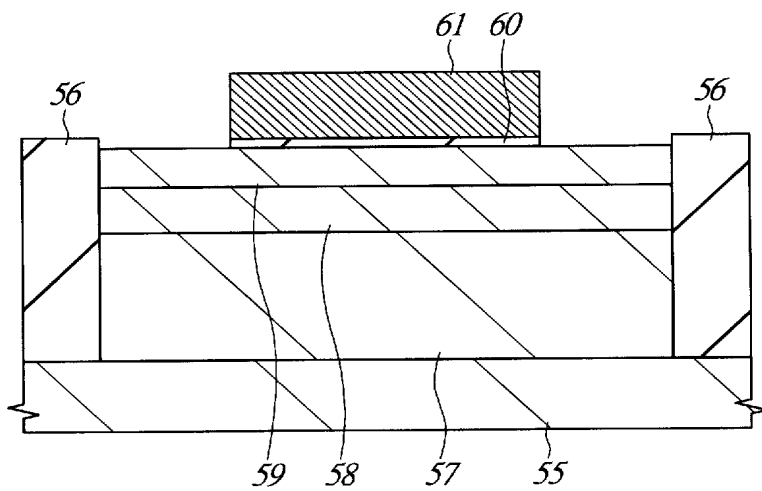
[図38]

図 38



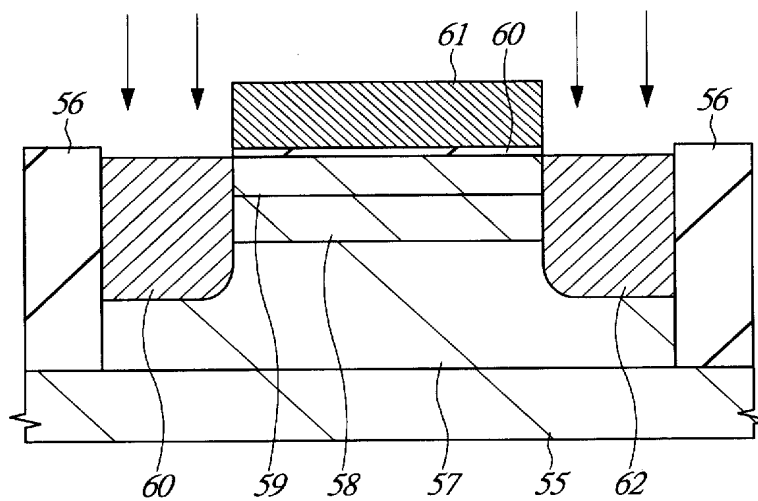
[図39]

図 39



[図40]

図 40



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000473

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/205, 21/331, 21/336, 29/732, 29/737, 29/78, 29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/205, 21/331, 21/336, 29/732, 29/737, 29/78, 29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-257868 A (Fujitsu Ltd.), 12 September, 2003 (12.09.03), Par. Nos. [0065] to [0070], [0010] & US 2003/0162370 A1	1-7, 9-20
X	JP 2000-340512 A (Matsushita Electric Industrial Co., Ltd.), 08 December, 2000 (08.12.00), Par. Nos. [0089] to [0098], [0100] & EP 1039512 A2 & US 6306211 B1	1-6, 8
A	JP 2000-12703 A (Matsushita Electric Industrial Co., Ltd.), 14 January, 2000 (14.01.00), Par. Nos. [0071] to [0080] (Family: none)	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
05 April, 2005 (05.04.05)

Date of mailing of the international search report
19 April, 2005 (19.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000473

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	A.C. Mocuta and D.W. Greve, Carbon incorporation in SiGeC alloys grown by ultrahigh vacuum chemical vapor deposition, Journal of Vacuum Science & Technology A, Vol.17, No.4, Part 1, 1999, pages 1239 to 1243, full text	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/205, 21/331, 21/336, 29/732, 29/737, 29/78, 29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/205, 21/331, 21/336, 29/732, 29/737, 29/78, 29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-257868 A (富士通株式会社) 2003. 09. 12, 【0065】 - 【0070】 【0010】 & US 2003/0162370 A1	1-7, 9-20
X	JP 2000-340512 A (松下電器産業株式会社) 2000. 12. 08, 【0089】 - 【0098】 【0100】 & EP 1039512 A2 & US 6306211 B1	1-6, 8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

- | | |
|--|---|
| <p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p> | <p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p> |
|--|---|

国際調査を完了した日

05. 04. 2005

国際調査報告の発送日

19. 4. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

電話番号 03-3581-1101 内線 3471

4R

9169

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-12703 A (松下電器産業株式会社) 2000.01.14, 【0071】 - 【0080】 (ファミリーなし)	1-20
A	A. C. Mocuta and D. W. Greve, Carbon incorporation in SiGeC alloys grown by ultrahigh vacuum chemical vapor deposition, Journal of Vacuum Science & Technology A, Vol.17, No.4, Part1, 1999, p. 1239-1243 全文	1-20